

(11)特許出願公開番号

(43)公開日 平成11年(1999)1月29日

審査請求 未請求 請求項の数21 F D (全 35 頁)



## 【特許請求の範囲】

## 【請求項 1】 半導体基板と、

前記基板に設けられ、第 1、第 2、第 3 の素子分離パターン部を有する素子分離領域と、

前記素子分離領域によって分離され、前記第 1、第 2 の素子分離パターン部に挟まれた第 1 の素子領域パターン部、前記第 2、第 3 の素子分離パターン部に挟まれた第 2 の素子領域パターン部を有する半導体活性領域と、

前記第 1 の素子分離パターン部、前記第 1 の素子領域パターン部、前記第 2 の素子分離パターン部、前記第 2 の素子領域パターン部、および前記第 3 の素子分離パターン部上に亘って配置される制御ゲート電極と、

前記第 1 の素子領域パターン部と前記制御ゲート電極との間、および前記第 2 の素子領域パターン部と前記制御ゲート電極との間それぞれに設けられ、前記第 1、第 2 の素子領域パターン部それぞれと第 1 のゲート絶縁膜を介して形成された第 1、第 2 の孤立状ゲート電極とを具備し、

前記制御ゲート電極は、前記第 1、第 2 の孤立状ゲート電極と第 2 のゲート絶縁膜を介して電氣的に絶縁されて、メモリセルトランジスタにゲート電位を供給するワード線を構成し、

前記第 1、第 2 の孤立状ゲート電極はそれぞれ、前記ワード線を構成する制御ゲート電極と前記第 1、第 2 の素子領域パターン部との間に電氣的に浮遊な状態で配置されて、前記メモリセルトランジスタのしきい値電圧を調節する電荷蓄積層を構成し、

前記電荷蓄積層を構成する前記第 1、第 2 の孤立状ゲート電極はそれぞれ、

前記第 1、第 2、第 3 の素子分離パターン部の側端部それぞれに自己整合した側面を有した第 1 の部位と、

前記第 1 の部位に電氣的に接続され、平面から見て前記第 1 の部位の側面上を介して前記第 1、第 2、第 3 の素子分離パターン部の上面まで張り出すとともに、前記第 1 の部位を前記制御ゲート電極から隔離して、前記制御ゲート電極と前記第 1、第 2 の孤立状ゲート電極との対向面積を規定する第 2 の部位とを含むことを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記第 1 の部位の上面の位置は、前記第 1、第 2、第 3 の素子分離パターン部の上面の位置よりも低く、

前記第 2 の部位の下面は、前記第 1 の部位の上面よりも上方に露出した前記第 1、第 2、第 3 の分離パターン部の側壁に沿いつつ、これら第 1、第 2、第 3 の分離パターン部の上面に張り出していることを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 前記第 1、第 2 の素子領域パターン部内に形成され、前記メモリセルトランジスタを、ビット線あるいはソース線に電氣的に結合させる選択トランジスタをさらに具備し、

前記選択トランジスタは、前記制御ゲート電極と略並行する選択ゲート電極と、前記第 1 の素子領域パターン部と前記選択ゲート電極との間、および前記第 2 の素子領域パターン部と前記選択ゲート電極との間それぞれに設けられ、前記第 1、第 2 の素子領域パターン部と第 3 のゲート絶縁膜を介して形成されて、前記選択ゲート電極と同電位とされるゲート部材とから構成されることを特徴とする請求項 1 および請求項 2 いずれかに記載の不揮発性半導体記憶装置。

【請求項 4】 前記選択トランジスタのゲート部材は、前記第 1 の素子領域パターン部と前記選択ゲート電極との間、および前記第 2 の素子領域パターン部と前記選択ゲート電極との間それぞれに設けられた第 1、第 2 の孤立状部材であり、

前記第 1、第 2 の孤立状部材はそれぞれ、前記第 1、第 2、第 3 の素子分離パターン部の側端部それぞれに自己整合した側面を有し、前記メモリセルトランジスタの第 1 の部位と同じ導電体層で構成された第 3 の部位と、前記第 3 の部位に電氣的に接続され、平面から見て前記第 3 の部位の側面を介して前記第 1、第 2、第 3 の素子分離パターン部の上面まで張り出し、前記メモリセルトランジスタの第 2 の部位と同じ導電体層で構成された第 4 の部位とを含み、

前記第 4 の部位は、前記第 1、第 2 の素子領域パターン部上で前記選択ゲート電極と電氣的に接続されていることを特徴とする請求項 3 に記載の不揮発性半導体記憶装置。

【請求項 5】 前記第 1、第 2 の孤立状部材それぞれの第 4 の部位どうしの間の前記第 2 の素子分離パターン部上に前記第 2 のゲート絶縁膜が形成されていることを特徴とする請求項 4 に記載の不揮発性半導体記憶装置。

【請求項 6】 前記制御ゲート電極、および前記選択ゲート電極はそれぞれ、前記第 2 のゲート絶縁膜に接する第 1 の導電層と、この第 1 の導電層に接する第 2 の導電層とを少なくとも含む積層構造を含み、

前記選択ゲート電極の前記第 1 の導電層は、前記第 1、第 2 の孤立状部材それぞれの第 4 の部位どうしの間の前記第 2 の素子分離パターン部上に形成され、前記選択ゲート電極の第 2 の導電層が、前記第 1、第 2 の素子領域パターン部上で、前記第 4 の部位に電氣的に接続されていることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】 前記半導体活性領域の、前記第 1、第 2 の素子領域パターン部とは異なった第 3 の素子領域パターン部内に形成され、前記メモリセルトランジスタを含むメモリ回路を駆動／制御する周辺回路トランジスタをさらに具備し、

前記周辺回路トランジスタのゲート電極は、前記第 3 の素子領域パターン部と第 4 のゲート絶縁膜を介して形成され、前記メモリセルトランジスタの第 1 の部位を構成

する導電体層と同じ導電体層で構成された第 5 の部位と、  
前記第 5 の部位に電氣的に接続され、前記メモリセルトランジスタの第 2 の部位と同じ導電体層で構成された第 6 の部位とを少なくとも含み、  
前記周辺回路トランジスタに供給されるゲート電位は、前記第 6 の部位に供給されることを特徴とする請求項 1 乃至請求項 6 いずれか一項に記載の不揮発性半導体記憶装置。

【請求項 8】 半導体基板と、  
前記基板に設けられ、第 1、第 2、第 3 の素子分離パターン部を有する素子分離領域と、  
前記素子分離領域によって分離され、前記第 1、第 2 の素子分離パターン部に挟まれた第 1 の素子領域パターン部、前記第 2、第 3 の素子分離パターン部に挟まれた第 2 の素子領域パターン部を有する半導体活性領域と、  
前記第 1 の素子分離パターン部、前記第 1 の素子領域パターン部、前記第 2 の素子分離パターン部、前記第 2 の素子領域パターン部、および前記第 3 の素子分離パターン部に亘って配置される制御ゲート電極と、  
前記第 1 の素子分離パターン部、前記第 1 の素子領域パターン部、前記第 2 の素子分離パターン部、前記第 2 の素子領域パターン部、および前記第 3 の素子分離パターン部に亘って配置され、前記制御ゲート電極と略並行する選択ゲート電極と、  
前記第 1 の素子領域パターン部と前記制御ゲート電極との間、および前記第 2 の素子領域パターン部と前記制御ゲート電極との間それぞれに設けられ、前記第 1、第 2 の素子領域パターン部それぞれと第 1 のゲート絶縁膜を介して形成された第 1、第 2 の孤立状ゲート電極と、  
前記第 1 の素子領域パターン部と前記選択ゲート電極との間、および前記第 2 の素子領域パターン部と前記選択ゲート電極との間それぞれに設けられ、前記第 1、第 2 の素子領域パターン部それぞれと第 2 のゲート絶縁膜を介して形成された第 3、第 4 の孤立状ゲート電極とを具備し、  
前記制御ゲート電極は、前記第 1、第 2 の孤立状ゲート電極と第 3 のゲート絶縁膜を介して電氣的に絶縁されて、メモリセルトランジスタにゲート電位を供給するワード線を構成し、  
前記第 1、第 2 の孤立状ゲート電極はそれぞれ、前記ワード線を構成する制御ゲート電極と前記第 1、第 2 の素子領域パターン部との間に電氣的に浮遊な状態で配置されて、前記メモリセルトランジスタのしきい値電圧を調節する電荷蓄積層を構成し、  
前記選択ゲート電極は、前記第 3、第 4 の孤立状ゲート電極と前記第 1、第 2 の素子領域パターン部上で電氣的に接続されて、前記メモリセルトランジスタを、ビット線あるいはソース線に電氣的に結合させる選択トランジスタのゲートを構成し、

前記第 3、第 4 の孤立状ゲート電極どうしの間の前記第 2 の素子分離パターン部上に前記第 3 のゲート絶縁膜が形成されていることを特徴とする不揮発性半導体記憶装置。

【請求項 9】 前記制御ゲート電極、および前記選択ゲート電極はそれぞれ、前記第 3 のゲート絶縁膜に接する第 1 の導電層と、この第 1 の導電層に接する第 2 の導電層とを少なくとも含む積層構造を含み、  
前記選択ゲート電極の前記第 1 の導電層は、前記第 3、第 4 の孤立状ゲート電極どうしの間の前記第 2 の素子分離パターン部上に形成され、前記選択ゲート電極の第 2 の導電層は、前記第 1 の素子領域パターン部上で前記第 3 の孤立状ゲート電極に、前記第 2 の素子領域パターン部上で前記第 4 の孤立状ゲート電極にそれぞれ電氣的に接続されていることを特徴とする請求項 8 に記載の不揮発性半導体記憶装置。

【請求項 10】 半導体基板と、  
前記基板に設けられ、第 1、第 2、第 3 の素子分離パターン部を有する素子分離領域と、  
前記素子分離領域によって分離され、前記第 1、第 2 の素子分離パターン部に挟まれた第 1 の素子領域パターン部、前記第 2、第 3 の素子分離パターン部に挟まれた第 2 の素子領域パターン部を有する半導体活性領域と、  
前記第 1 の素子分離パターン部、前記第 1 の素子領域パターン部、前記第 2 の素子分離パターン部、前記第 2 の素子領域パターン部、および前記第 3 の素子分離パターン部に亘って配置される制御ゲート電極と、  
前記第 1 の素子分離パターン部、前記第 1 の素子領域パターン部、前記第 2 の素子分離パターン部、前記第 2 の素子領域パターン部、および前記第 3 の素子分離パターン部に亘って配置され、前記制御ゲート電極と略並行する選択ゲート電極と、  
前記第 1 の素子領域パターン部と前記制御ゲート電極との間、および前記第 2 の素子領域パターン部と前記制御ゲート電極との間それぞれに設けられ、前記第 1、第 2 の素子領域パターン部それぞれと第 1 のゲート絶縁膜を介して形成され、前記第 1、第 2、第 3 の素子分離パターン部の側端部それぞれに自己整合した側面を有する第 1、第 2 の孤立状ゲート電極と、  
前記第 1 の素子領域パターン部と前記選択ゲート電極との間、および前記第 2 の素子領域パターン部と前記選択ゲート電極との間それぞれに設けられ、前記第 1、第 2 の素子領域パターン部それぞれと第 2 のゲート絶縁膜を介して形成され、前記第 1、第 2、第 3 の素子分離パターン部の側端部それぞれに自己整合した側面を有する第 3、第 4 の孤立状ゲート電極とを具備し、  
前記制御ゲート電極は、前記第 1、第 2 の孤立状ゲート電極と第 3 のゲート絶縁膜を介して電氣的に絶縁されて、メモリセルトランジスタにゲート電位を供給するワード線を構成し、

前記第1、第2の孤立状ゲート電極はそれぞれ、前記ワード線を構成する制御ゲート電極と前記第1、第2の素子領域パターン部との間に電氣的に浮遊な状態で配置されて、前記メモリセルトランジスタのしきい値電圧を調節する電荷蓄積層を構成し、

前記選択ゲート電極は、前記第3、第4の孤立状ゲート電極と前記第1、第2の素子領域パターン部上で電氣的に接続されて、前記メモリセルトランジスタを、ビット線あるいはソース線に電氣的に結合させる選択トランジスタのゲートを構成し、

前記選択ゲート電極下の前記第1、第2、第3の素子分離パターン部の膜厚は、前記制御ゲート電極下の前記第1、第2、第3の素子分離パターン部の膜厚より実質的に厚いことを特徴とする不揮発性半導体記憶装置。

【請求項11】 前記第1、第2の素子形成パターン部内それぞれに形成された、前記選択トランジスタのソース／ドレインの一方として機能する第1の領域、前記メモリセルトランジスタのソース／ドレインの一方として機能する第2の領域、前記選択トランジスタおよび前記メモリセルトランジスタそれぞれのソース／ドレインの他方として機能し、前記選択トランジスタおよび前記メモリセルトランジスタで互いに共有される第3の領域をさらに具備し、

前記第3、第4の孤立状ゲート電極の上面から、前記第1、第2、第3の素子分離パターン部の前記第1の領域を分離する部分の上面までの距離は、前記第1、第2の孤立状ゲート電極の上面から、前記第1、第2、第3の素子分離パターン部の前記第2の領域を分離する部分の上面までの距離以下であることを特徴とする請求項10に記載の不揮発性半導体記憶装置。

【請求項12】 前記第1、第2、第3の素子分離パターン部の前記第1の領域を分離する部分の膜厚は、前記第1、第2、第3の素子分離パターン部の前記第2の領域を分離する部分の膜厚以上であることを特徴とする請求項11に記載の不揮発性半導体記憶装置。

【請求項13】 前記選択ゲート電極下の前記第1、第2、第3の素子分離パターン部の膜厚は、前記第1、第2、第3の素子分離パターン部の前記第1の領域を分離する部分の膜厚以上であることを特徴とする請求項12に記載の不揮発性半導体記憶装置。

【請求項14】 前記選択ゲート電極下の前記第1、第2、第3の素子分離パターン部の一部分の膜厚は、前記第1、第2、第3の素子分離パターン部の前記第1の領域を分離する部分の膜厚以上で、前記選択ゲート電極下の前記第1、第2、第3の素子分離パターン部の他部分の膜厚以下であることを特徴とする請求項12に記載の不揮発性半導体記憶装置。

【請求項15】 前記第1、第2、第3の素子分離パターン部の前記第3の領域を分離する部分に段差が有ることを特徴とする請求項11乃至請求項14いずれか一項

に記載の不揮発性半導体記憶装置。

【請求項16】 半導体基板上に、第1のゲート絶縁膜、第1の導電体膜を含む第1の積層構造を形成する工程と、

前記第1の積層構造上に、第1、第2の素子領域パターン部を有する半導体活性領域を分離するための、第1、第2、第3の素子分離パターン部を有する素子分離領域に対応した窓を有するマスク材を形成する工程と、

前記マスク材をマスクに用いて、前記第1の積層構造および前記基板をエッチングし、前記基板に素子分離領域パターンに応じた溝を形成する工程と、

前記溝を絶縁物で埋め込み、素子分離領域を形成する工程と、

前記マスク材を除去し、前記第1の導電体膜の少なくとも上面を露出させる工程と、

前記第1の導電体膜に電氣的に接続される第2の導電体膜を形成する工程と、

前記第2の導電体膜を、前記第1、第2の素子領域パターン部上それぞれに沿って、前記第1、第2、第3の素子分離パターン部上に側面が配置され、前記第1の導電体膜の少なくとも上面を隠す第1、第2の線状パターンにパターンニングする工程と、

前記第1の素子分離パターン部、前記第1の線状パターン、前記第2の素子分離パターン部、前記第2の線状パターン、前記第3の素子分離パターン部それぞれの上に亘って、第2のゲート絶縁膜、第3の導電体膜を含む第2の積層構造を形成する工程と、

前記第1の積層構造、前記第1、第2の線状パターン、前記第2の積層構造を、前記第1、第2の素子領域パターン部に交差する方向に延在し、前記第1のゲート絶縁膜と、前記第1の導電体膜および前記第2の導電体膜からなる孤立状ゲート電極と、前記第2のゲート絶縁膜と、前記第3の導電体膜からなる制御ゲート電極とを含む積層ゲートに加工する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項17】 前記第1の導電体膜の上面は、前記第1の導電体膜の上面の位置が、前記第1、第2、第3の素子分離パターン部の上面の位置よりも低い状態で露出されることを特徴とする請求項16に記載の不揮発性半導体記憶装置の製造方法。

【請求項18】 前記第1の積層構造、前記第1、第2の線状パターン、前記第2の積層構造を、積層ゲートに加工する工程は、

前記第2の積層構造の前記第3の導電体膜を、少なくとも前記第2の素子分離パターン部の上の前記第1、第2の線状パターン間の領域に残るように、前記第1、第2の線状パターンの少なくとも上面の前記第2のゲート絶縁膜が露出するまでエッチングする第1工程と、

前記第1、第2の線状パターンの少なくとも上面の前記第2のゲート絶縁膜を、前記第1、第2の線状パターン

を構成する前記第 2 の導電体膜が露出するまでエッチングする第 2 工程と、

前記第 3 の導電体膜、前記第 2 の導電体膜、前記第 1 の導電体膜を、前記第 1、第 2 の素子領域パターン部に交差する方向に互いに分離されるまでエッチングする第 3 工程とを含むことを特徴とする請求項 16 および 17 いずれかに記載の不揮発性半導体記憶装置の製造方法。

【請求項 19】 前記第 2 の積層構造を形成する工程の後に、

前記第 2 の積層構造のうち、選択トランジスタ形成領域に存在する前記第 3 の導電膜を除去し、前記第 2 の導電体膜の少なくとも上面を、前記選択トランジスタ形成領域で露出させる工程と、

前記第 2 の積層構造上に、前記選択トランジスタ形成領域で前記第 2 の導電体膜に接し、メモリセルトランジスタ形成領域で前記第 3 の導電体膜に接する第 4 の導電体膜を形成する工程とをさらに具備することを特徴とする請求項 16 乃至請求項 18 いずれか一項に記載の不揮発性半導体記憶装置の製造方法。

【請求項 20】 半導体基板上に、第 1 のゲート絶縁膜、第 1 の導電体膜を含む第 1 の積層構造を形成する工程と、

前記第 1 の積層構造上に、第 1、第 2 の素子分離パターン部を有する半導体活性領域を分離するための、第 1、第 2、第 3 の素子分離パターン部を有する素子分離領域に対応した窓を有するマスク材を形成する工程と、

前記マスク材をマスクに用いて、前記第 1 の積層構造および前記基板をエッチングし、前記基板に素子分離領域パターンに応じた溝を形成する工程と、

前記溝を絶縁物で埋め込み、素子分離領域を形成する工程と、

前記素子分離領域の上面を後退させるとともに、前記マスク材を除去して前記第 1 の導電体膜の上面および側面の一部を露出させる工程と、

前記第 1 の素子分離パターン部、前記第 1 の素子領域パターン部上の前記第 1 の積層構造、前記第 2 の素子分離パターン部、前記第 2 の素子領域パターン部上の前記第 1 の積層構造、前記第 3 の素子分離パターン部それぞれの上に亘って、第 2 のゲート絶縁膜、第 2 の導電体膜を含む第 2 の積層構造を形成する工程と、

前記第 2 の積層構造のうち、選択トランジスタ形成領域に存在する前記第 2 の導電体膜および前記第 2 のゲート絶縁膜を除去し、前記第 1 の導電体膜の少なくとも上面を、前記選択トランジスタ形成領域で露出させる工程と、

前記第 2 の積層構造上に、前記選択トランジスタ形成領域で前記第 1 の導電体膜に接し、メモリセルトランジスタ形成領域で前記第 2 の導電体膜に接する第 3 の導電体膜を形成する工程と前記第 1 の積層構造、前記第 2 の積層構造、前記第 3 の導電体膜を、前記第 1、第 2 の素子

領域パターン部に交差する方向に延在し、前記第 1 のゲート絶縁膜と、前記第 1 の導電体膜からなる孤立状ゲート電極と、前記第 2 のゲート絶縁膜と、前記第 2、第 3 の導電体膜からなる制御ゲート電極とを含む第 1 の積層ゲート、およびこの第 1 の積層ゲートに略並行し、前記第 1 のゲート絶縁膜と、前記第 1 の導電体膜からなる孤立状ゲート電極と、この孤立状ゲート電極に前記第 1、第 2 の素子領域パターン部上で電気的に接続される第 3 の導電体膜とを含む第 2 の積層ゲートに加工する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項 21】 半導体基板上に、第 1 のゲート絶縁膜、第 1 の導電体膜を含む第 1 の積層構造を形成する工程と、

前記第 1 の積層構造上に、第 1、第 2 の素子分離パターン部を有する半導体活性領域を分離するための、第 1、第 2、第 3 の素子分離パターン部を有する素子分離領域に対応した窓を有するマスク材を形成する工程と、

前記マスク材をマスクに用いて、前記第 1 の積層構造および前記基板をエッチングし、前記基板に素子分離領域パターンに応じた溝を形成する工程と、

前記溝を絶縁物で埋め込み、素子分離領域を形成する工程と、

前記マスク材を除去する工程と、

選択トランジスタ形成領域に存在する前記素子分離領域の上面をマスクしつつ、メモリセルトランジスタ形成領域に存在する前記素子分離領域の上面を後退させ、少なくとも前記メモリセルトランジスタ形成領域で前記第 1 の導電体膜の上面および側面の一部を露出させる工程と、

前記第 1 の素子分離パターン部、前記第 1 の素子領域パターン部上の前記第 1 の積層構造、前記第 2 の素子分離パターン部、前記第 2 の素子領域パターン部上の前記第 1 の積層構造、前記第 3 の素子分離パターン部それぞれの上に亘って、第 2 のゲート絶縁膜、第 2 の導電体膜を含む第 2 の積層構造を形成する工程と、

前記第 2 の積層構造のうち、前記選択トランジスタ形成領域に存在する前記第 2 の導電体膜および前記第 2 のゲート絶縁膜を除去し、前記第 1 の導電体膜の少なくとも上面を、前記選択トランジスタ形成領域で露出させる工程と、

前記第 2 の積層構造上に、前記選択トランジスタ形成領域で前記第 1 の導電体膜に接し、メモリセルトランジスタ形成領域で前記第 2 の導電体膜に接する第 3 の導電体膜を形成する工程と、

前記第 1 の積層構造、前記第 2 の積層構造、前記第 3 の導電体膜を、前記第 1、第 2 の素子領域パターン部に交差する方向に延在し、前記第 1 のゲート絶縁膜と、前記第 1 の導電体膜からなる孤立状ゲート電極と、前記第 2 のゲート絶縁膜と、前記第 2、第 3 の導電体膜からなる

制御ゲート電極とを含む第 1 の積層ゲート、およびこの第 1 の積層ゲートに略並行し、前記第 1 のゲート絶縁膜と、前記第 1 の導電体膜からなる孤立状ゲート電極と、この孤立状ゲート電極に前記第 1、第 2 の素子領域パターン部上で電気的に接続される第 3 の導電体膜とを含む第 2 の積層ゲートに加工する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、不揮発性半導体記憶装置およびその製造方法に係わり、特にメモリセルトランジスタの積層ゲート構造およびその加工技術の改良に関する。

【0002】

【従来の技術】EEPROMは、電気的にデータの書き換えが可能な不揮発性半導体記憶装置の一種である。EEPROMのメモリセルは、制御ゲートとチャネル領域との間に浮遊ゲートを有し、しきい値電圧を可変に調節できるFETMOS型のトランジスタが一般的である。また、EEPROMは、メモリセルトランジスタの接続状態により、NOR型、NAND型、AND型、DINOR型など、いくつかの種類がある。

【0003】図39(A)は、従来のNAND型EEPROMのメモリセルアレイの平面図、図39(B)は、図39(A)中のB-B線に沿う断面図である。

【0004】図39(A)および(B)に示すように、P型シリコン基板101には、素子分離領域102が形成されている。素子分離領域102は、基板101の表面に半導体活性領域(素子領域)103を区画する。メモリセルアレイにおける活性領域103は、互いに並行した線状パターンを有している。素子分離領域102は、二酸化シリコンからなる。なお、素子分離領域102の下基板101には、通常、チャネルストッパと呼ばれ、素子分離領域直下の導電型の反転を防止するための高濃度P+型領域が形成されるが、この明細書では省略することにする。活性領域103上には、トンネル電流が流れ得るように薄く形成された第1のゲート絶縁膜104が形成されている。ゲート絶縁膜104は二酸化シリコンからなる(この明細書では、便宜上、第1のゲート絶縁膜104をトンネル酸化膜と呼ぶ)。トンネル酸化膜104の上には、浮遊ゲート105が形成されている。浮遊ゲート105は導電性のポリシリコンからなり、電荷を蓄積する電荷蓄積層として機能する。そのため、浮遊ゲート105は、各メモリセルトランジスタ毎に一つずつ設けられ、孤立している。メモリセルトランジスタのしきい値電圧は、浮遊ゲート105に蓄積された電子の量によって調節される。データは、このしきい値電圧のレベルに変換されて記憶される。浮遊ゲート105の上には、第2のゲート絶縁膜106が形成されている。第2のゲート絶縁膜106は、二酸化シリコン、

窒化シリコン、二酸化シリコンを順次積層した、通常、ONO膜と呼ばれる積層膜からなる(この明細書では、便宜上、第2のゲート絶縁膜106をONO膜と呼ぶ)。ONO膜106の上には、制御ゲート107が形成されている。制御ゲート107は、導電性のポリシリコンからなり、メモリセルアレイのロー方向に連続した線状に形成されて、ワード線として機能される(この明細書では、便宜上、制御ゲート107をワード線と呼ぶ)。浮遊ゲート105とワード線107とは、同じマスクを用いて連続的にエッチングされて形成される。そのため、チャネル幅方向(図ではロー方向)に沿ったエッチは、浮遊ゲート105、ワード線107それぞれで揃っている。以下、浮遊ゲート105とワード線107とが積層されたゲート構造を、積層ゲート108と呼ぶ。N型ソース/ドレイン領域109は、積層ゲート108と素子分離領域102とをマスクに用いて、N型不純物を活性領域3内にイオン注入することにより形成される。上記のようなメモリセルアレイでは、その素子分離領域102を、シリコン基板101を局所的に熱酸化することにより形成する。この形成方法の代表的な例は、LOCOS法である。

【0005】図40(A)および(B)は、LOCOS法の手順を示した断面図である。

【0006】まず、図40(A)に示すように、シリコン基板101の上に、バッファ酸化膜(二酸化シリコン)110を形成し、次いで、素子分離領域102を形成する領域以外をシリコン窒化膜111で覆う。この状態で、図40(B)に示すように、窒化膜111を、酸化の障壁に用いながらシリコン基板101の表面を厚く熱酸化する。これにより、素子分離領域102が形成される。

【0007】しかし、LOCOS法では、熱酸化時、シリコン基板101と窒化膜111との界面に沿って“バズビーク”と呼ばれるくさび型の酸化膜112が成長する。このため、図40(A)、(B)に示すように、実際に形成される素子分離領域102の寸法“Wactual”と、デザイン上の素子分離領域102の寸法“Wdesign”との間には変換差“Δ”を生じる。このように、LOCOS法では、実寸法“Wactual”は、設計寸法“Wdesign”よりも大きくなってしまいうため、例えば実寸法“Wactual”を0.5μm以下とするような微細な素子分離領域102を形成することは、非常に困難である。

【0008】また、LOCOS法は、本来、素子分離領域102をシリコン基板101の内部に深く、つまり厚く形成することが難しい。今後、寸法“W”が微細化されてくると、素子分離領域102を深く形成することは、益々困難になってくる。メモリセルアレイに形成された素子分離領域102は、特に積層ゲートを加工する時、エッチング環境下に晒され、積層ゲートで覆われて

いる部分以外の領域の厚みは、加工中、減少する。膜厚が減少した素子分離領域 102 は、その絶縁能力を悪化させる。

【0009】以上の問題を解決する素子分離技術として、シリコン基板にトレンチ溝を形成し絶縁材で埋め込む、トレンチ素子分離法がある。

【0010】図 41 (A) は、トレンチ素子分離法を用いた、従来の NAND 型 EEPROM のメモリセルアレイの平面図、図 41 (B) は、図 41 (A) 中の B-B 線に沿う断面図である。これらの図面において、図 39 (A)、(B) と同一の部分には、同一の参照符号を付す。

【0011】図 41 (A) および (B) に示すように、基板 101 の内部には、トレンチ 121 が形成されており、トレンチ 121 の内部には絶縁物 122 が埋め込まれている。絶縁物 122 は二酸化シリコンからなり、素子分離領域として機能する。以下、トレンチ型素子分離領域 122 と呼ぶ。

【0012】図 42 (A) および (B) は、トレンチ素子分離法の手順を示した断面図である。

【0013】まず、図 42 (A) に示すように、シリコン基板 101 の上の、トレンチ型素子分離領域 122 を形成する領域以外をシリコン窒化膜 123 で覆う。この状態で、窒化膜 123 を、エッチングの障壁に用いながらシリコン基板 101 をエッチングし、トレンチ 121 を形成する。次いで、シリコン基板 101 の全面に二酸化シリコンを堆積した後、図 42 (B) に示すように、堆積した二酸化シリコンを、RIE 法、または CMP 法を用いてエッチバックして、トレンチ 121 を二酸化シリコンで埋め込む。これにより、トレンチ型素子分離領域 122 が形成される。

【0014】このようなトレンチ素子分離法によれば変換差 “ $\Delta$ ” はない。したがって、トレンチ型素子分離領域 122 では、実寸法 “Wactual” を  $0.5\mu\text{m}$  以下とすることが可能である。

【0015】また、トレンチ 121 をシリコン基板 101 の内部に形成するので、トレンチ型素子分離領域 122 では、基板 101 内に深く形成でき、その膜厚は、LOCOS 型素子分離領域 102 に比べて、より厚くすることができる。

【0016】

【発明が解決しようとする課題】トレンチ素子分離法によって、微細な線状パターンが繰り返されるメモリセルアレイにおいても、厚い膜厚を有する、トレンチ型素子分離領域 122 が実現できるようになってきた。このため、積層ゲート加工時に生ずる膜厚の減少に対するマージンは、LOCOS 型素子分離領域 102 に比べて広がる。

【0017】しかし、メモリセルアレイにおける素子分離領域は、LOCOS 型、トレンチ型のいずれにおいて

も、その膜厚の減少は可能な限り、抑制されることが望ましい。

【0018】メモリセルアレイにおける素子分離領域の膜厚の減少は、積層ゲート加工時だけでなく、同じ基板 101 上に高耐圧型 MOSFET を形成するときにも見られる。EEPROM では、データの書き込みや消去時などに、電源電圧以上の高い電圧を使用する。例えばこのような電圧を発生させたり、あるいはスイッチングしたりするトランジスタでは、耐圧確保の観点から、メモリセルトランジスタのトンネル酸化膜 104 よりも厚いゲート酸化膜が要求される。この厚いゲート酸化膜を有して、同じ基板 101 に形成された MOSFET を、この明細書では、高耐圧型 MOSFET と呼ぶ。

【0019】従来、トンネル酸化膜 104、および厚いゲート酸化膜は、LOCOS 法、トレンチ素子分離法のいずれにおいても、素子分離領域を形成した後、形成する。

【0020】図 43 (A) ~ (C) は、従来のトンネル酸化膜、厚いゲート酸化膜の形成手順を、トレンチ素子分離法を例にして示した断面図である。

【0021】まず、図 43 (A) に示すように、トレンチ型素子分離領域 122 を形成した後、半導体活性領域 103 の表面に露出させたシリコン基板 101 を酸化し、厚いゲート酸化膜 131 を形成する。厚いゲート酸化膜 131 は、高耐圧型 MOSFET が形成される周辺回路領域 132、およびメモリセルアレイ 133 のいずれの領域にも形成される。

【0022】次いで、図 43 (B) に示すように、周辺回路領域 132 を、例えばホトレジスト 134 で覆う。次いで、ホトレジスト 134 をマスクに用いて、メモリセルアレイ 133 内の半導体活性領域 103 に形成された厚いゲート酸化膜 131 をウエットエッチングにより除去する。このウエットエッチング時、アレイ 133 内の素子分離領域 102 は、二酸化シリコンであるために、同時にエッチングされ、その表面が、周辺回路領域 132 内の素子分離領域 122 に比べて後退する。

【0023】この後、図 43 (C) に示すように、ホトレジスト 134 を除去した後、アレイ 133 内の活性領域 103 に露出したシリコン基板 101 を酸化し、薄いゲート酸化膜、即ちトンネル酸化膜 104 を形成する。

【0024】このように、従来より、MOSFET のゲート酸化膜は、素子分離領域 122 を形成した後、形成する手順が、基本である。このような基本の手順に従うと、アレイ 133 内に薄いゲート酸化膜を、周辺回路領域 132 内に厚いゲート酸化膜をそれぞれ必要とする EEPROM では、例えばアレイ 133 内の素子分離領域 122 の表面が後退し、その膜厚  $t_{133}$  は、周辺回路領域 132 内の素子分離領域 122 の膜厚  $t_{132}$  に比べて減少する。即ち、アレイ 133 内において、素子分離領域 122 の膜厚が、形成時の膜厚から減少する分、

積層ゲート加工時に、再度生ずる膜厚の減少に対し、マージンが狭まる。

【0025】このような事情を解消できるEEPROMが、例えば1994年のIEDMにおいて、有留等により報告されている。いわゆる自己整合トレンチ素子分離法である。

【0026】図44(A)は、自己整合トレンチ素子分離法を用いた、従来のNAND型EEPROMのメモリセルアレイの平面図、図44(B)は、図44(A)中のB-B線に沿う断面図である。これらの図面において、図39(A)、(B)と同一の部分には、同一の参照符号を付す。

【0027】図44(A)および(B)に示すように、トレンチ141は、浮遊ゲート105の側壁から基板101の内部にかけて形成されている。トレンチ141の内部には絶縁物が埋め込まれている。この絶縁物は二酸化シリコンからなり、素子分離領域142を構成する。

【0028】このような自己整合トレンチ素子分離法を用いたメモリセルアレイでは、素子分離領域142は、半導体活性領域103の表面よりも突出され、その側壁は浮遊ゲート105の側壁に接している。即ち、素子分離領域142は、トンネル酸化膜104、浮遊ゲート105を形成した後に形成される。

【0029】図45(A)～(C)は、自己整合トレンチ素子分離法、およびそれによるトンネル酸化膜の形成手順を示した断面図である。

【0030】まず、図45(A)に示すように、シリコン基板101の上に、トンネル酸化膜104、浮遊ゲート105となる導電性ポリシリコン膜143を順次形成する。次いで、素子分離領域142を形成する領域以外をシリコン窒化膜144で覆う。

【0031】次いで、図45(B)に示すように、窒化膜144を、エッチングの障壁に用いながら、導電性ポリシリコン膜143、トンネル酸化膜104、シリコン基板101を順次エッチングし、トレンチ141を形成する。

【0032】次いで、シリコン基板101の全面に二酸化シリコンを堆積した後、図45(C)に示すように、堆積した二酸化シリコンを、RIE法、またはCMP法を用いてエッチバックして、トレンチ141を二酸化シリコンで埋め込む。この後、窒化膜144を除去し、自己整合トレンチ型素子分離領域142が形成される。

【0033】このように、自己整合トレンチ素子分離法では、従来の基本とは異なり、MOSFETのゲート酸化膜は、素子分離領域142を形成する前に形成される手順が、基本となる。つまり、トンネル酸化膜104を形成した後、素子分離領域102を形成するので、トンネル酸化膜104を形成するために、メモリセルアレイ内の素子分離領域の表面を後退させるようなウエットエッチング工程は、基本的にない。このため、自己整合ト

レンチ型素子分離領域142では、メモリセルアレイ内に形成時の膜厚をほぼ確保した状態で、積層ゲート加工工程に入ることができる。したがって、従来のLOCOS法やトレンチ素子分離法を用いて素子分離されたメモリセルアレイに比べて、積層ゲート加工時に生ずる膜厚の減少に対する加工マージンが高まる。

【0034】しかしながら、自己整合トレンチ素子分離法を用いて素子分離されたメモリセルアレイでは、特に図44(B)に示すように、浮遊ゲート105とワード線107との対向面が、基本的に浮遊ゲート105の上面部のみとなる。このため、浮遊ゲート105、トンネル酸化膜104およびチャネル(基板101)とで構成されるキャパシタの容量“C1”と、浮遊ゲート105、ONO膜106およびワード線107とで構成されるキャパシタの容量“C2”とが、誘電体の誘電率を除けば、ほとんど変わらなくなる。周知の通り、EEPROMでは、データの書き込み時、あるいはデータの消去時に、電源電圧よりも高い書き込み電圧VPPをワード線107に印加する。現在、書き込み電圧VPPは、低電圧化の方向に進んでいる。書き込み電圧VPPを低電圧化するためには、容量C1よりも、容量C2をより大きくするのが良い。

【0035】この要求に鑑み、浮遊ゲート105の側壁を、素子分離領域142から露出させ、浮遊ゲート105の側壁を使って、容量C2を増加させることも考えられている。しかし、この考えでは、浮遊ゲート105の側壁を露出させるために、メモリセルアレイ内における素子分離領域142の膜厚を減少させなければならない。そのため、積層ゲート加工時の加工マージンが、再び狭くなる、という事情がある。

【0036】この発明は、上記の事情に鑑み為されたもので、その主要な目的は、メモリセルアレイ内の素子分離領域の膜厚の減少を抑制し、メモリセルアレイに高い加工マージンを有しながらも、浮遊ゲートとワード線との容量を増加できる構造を持つ、不揮発性半導体記憶装置と、その製造方法を提供することである。

【0037】また、この発明の他の目的は、上記主要な目的を達成するとともに、微細なトランジスタが形成される周辺回路領域内の素子分離領域の膜厚の減少を同時に抑制して、メモリセルアレイ、周辺回路領域の双方に高い加工マージンを持たせることである。

【0038】また、この発明の別の目的は、自己整合トレンチ素子分離を用いて素子分離されたメモリセルアレイにおいて、選択ゲートトランジスタが形成される部分の素子分離領域の膜厚の減少を抑制できる不揮発性半導体記憶装置と、その製造方法とを提供することである。

【0039】

【課題を解決するための手段】上記主要な目的を達成するために、請求項1に係る発明では、半導体基板と、前記基板に設けられ、第1、第2、第3の素子分離パター



ン部を有する素子分離領域と、前記素子分離領域によって分離され、前記第 1、第 2 の素子分離パターン部に挟まれた第 1 の素子領域パターン部、前記第 2、第 3 の素子分離パターン部に挟まれた第 2 の素子領域パターン部を有する半導体活性領域と、前記第 1 の素子分離パターン部、前記第 1 の素子領域パターン部、前記第 2 の素子分離パターン部、前記第 2 の素子領域パターン部、および前記第 3 の素子分離パターン部上に亘って配置される制御ゲート電極と、前記第 1 の素子領域パターン部と前記制御ゲート電極との間、および前記第 2 の素子領域パターン部と前記制御ゲート電極との間それぞれに設けられ、前記第 1、第 2 の素子領域パターン部それぞれと第 1 のゲート絶縁膜を介して形成された第 1、第 2 の孤立状ゲート電極とを具備する。そして、前記制御ゲート電極は、前記第 1、第 2 の孤立状ゲート電極と第 2 のゲート絶縁膜を介して電氣的に絶縁されて、メモリセルトランジスタにゲート電位を供給するワード線を構成し、前記第 1、第 2 の孤立状ゲート電極はそれぞれ、前記ワード線を構成する制御ゲート電極と前記第 1、第 2 の素子領域パターン部との間に電氣的に浮遊な状態で配置されて、前記メモリセルトランジスタのしきい値電圧を調節する電荷蓄積層を構成し、前記電荷蓄積層を構成する前記第 1、第 2 の孤立状ゲート電極はそれぞれ、前記第 1、第 2、第 3 の素子分離パターン部の側端部それぞれに自己整合した側面を有した第 1 の部位と、前記第 1 の部位に電氣的に接続され、平面から見て前記第 1 の部位の側面上を介して前記第 1、第 2、第 3 の素子分離パターン部の上面まで張り出すとともに、前記第 1 の部位を前記制御ゲート電極から隔離して、前記制御ゲート電極と前記第 1、第 2 の孤立状ゲート電極との対向面積を規定する第 2 の部位とを含むことを特徴とする。

【0040】また、請求項 2 に係る発明では、請求項 1 に係る発明において、前記第 1 の部位の上面の位置は、前記第 1、第 2、第 3 の素子分離パターン部の上面の位置よりも低く、前記第 2 の部位の下面は、前記第 1 の部位の上面よりも上方に露出した前記第 1、第 2、第 3 の分離パターン部の側壁に沿いつつ、これら第 1、第 2、第 3 の分離パターン部の上面に張り出していることを特徴とする。

【0041】また、請求項 3 に係る発明では、請求項 1 および請求項 2 いずれかに係る発明において、前記第 1、第 2 の素子領域パターン部内に形成され、前記メモリセルトランジスタを、ビット線あるいはソース線に電氣的に結合させる選択トランジスタをさらに具備する。そして、前記選択トランジスタは、前記制御ゲート電極と略並行する選択ゲート電極と、前記第 1 の素子領域パターン部と前記選択ゲート電極との間、および前記第 2 の素子領域パターン部と前記選択ゲート電極との間それぞれに設けられ、前記第 1、第 2 の素子領域パターン部と第 3 のゲート絶縁膜を介して形成されて、前記選択ゲ

ート電極と同電位とされるゲート部材とから構成されることを特徴とする。

【0042】また、請求項 4 に係る発明では、請求項 3 に係る発明において、前記選択トランジスタのゲート部材は、前記第 1 の素子領域パターン部と前記選択ゲート電極との間、および前記第 2 の素子領域パターン部と前記選択ゲート電極との間それぞれに設けられた第 1、第 2 の孤立状部材であり、前記第 1、第 2 の孤立状部材はそれぞれ、前記第 1、第 2、第 3 の素子分離パターン部の側端部それぞれに自己整合した側面を有し、前記メモリセルトランジスタの第 1 の部位と同じ導電体層で構成された第 3 の部位と、前記第 3 の部位に電氣的に接続され、平面から見て前記第 3 の部位の側面を介して前記第 1、第 2、第 3 の素子分離パターン部の上面まで張り出し、前記メモリセルトランジスタの第 2 の部位と同じ導電体層で構成された第 4 の部位とを少なくとも含み、前記第 4 の部位は、前記第 1、第 2 の素子領域パターン部上で前記選択ゲート電極と電氣的に接続されていることを特徴とする。

【0043】また、請求項 5 に係る発明では、請求項 4 に係る発明において、前記第 1、第 2 の孤立状部材それぞれの第 4 の部位どうしの間の前記第 2 の素子分離パターン部上に前記第 2 のゲート絶縁膜が形成されていることを特徴とする。

【0044】また、請求項 6 に係る発明では、請求項 5 に係る発明において、前記制御ゲート電極、および前記選択ゲート電極はそれぞれ、前記第 2 のゲート絶縁膜に接する第 1 の導電層と、この第 1 の導電層に接する第 2 の導電層とを少なくとも含む積層構造を含み、前記選択ゲート電極の前記第 1 の導電層は、前記第 1、第 2 の孤立状部材それぞれの第 4 の部位どうしの間の前記第 2 の素子分離パターン部上に形成され、前記選択ゲート電極の第 2 の導電層が、前記第 1、第 2 の素子領域パターン部上で、前記第 4 の部位に電氣的に接続されていることを特徴とする。また、他の目的を達成するために請求項 7 に係る発明では、請求項 1 乃至請求項 6 いずれか一つに係る発明において、前記半導体活性領域の、前記第 1、第 2 の素子領域パターン部とは異なった第 3 の素子領域パターン部内に形成され、前記メモリセルトランジスタを含むメモリ回路を駆動／制御する周辺回路トランジスタをさらに具備する。そして、前記周辺回路トランジスタのゲート電極は、前記第 3 の素子領域パターン部と第 4 のゲート絶縁膜を介して形成され、前記メモリセルトランジスタの第 1 の部位を構成する導電体層と同じ導電体層で構成された第 5 の部位と、前記第 5 の部位に電氣的に接続され、前記メモリセルトランジスタの第 2 の部位と同じ導電体層で構成された第 6 の部位とを少なくとも含み、前記周辺回路トランジスタに供給されるゲート電位は、前記第 6 の部位に供給されることを特徴とする。

【0045】また、別の目的を達成するために請求項8に係る発明では、半導体基板と、前記基板に設けられ、第1、第2、第3の素子分離パターン部を有する素子分離領域と、前記素子分離領域によって分離され、前記第1、第2の素子分離パターン部に挟まれた第1の素子領域パターン部、前記第2、第3の素子分離パターン部に挟まれた第2の素子領域パターン部を有する半導体活性領域と、前記第1の素子分離パターン部、前記第1の素子領域パターン部、前記第2の素子分離パターン部、前記第2の素子領域パターン部、および前記第3の素子分離パターン部上に亘って配置される制御ゲート電極と、前記第1の素子分離パターン部、前記第1の素子領域パターン部、前記第2の素子分離パターン部、前記第2の素子領域パターン部、および前記第3の素子分離パターン部上に亘って配置され、前記制御ゲート電極と略並行する選択ゲート電極と、前記第1の素子領域パターン部と前記制御ゲート電極との間、および前記第2の素子領域パターン部と前記制御ゲート電極との間それぞれに設けられ、前記第1、第2の素子領域パターン部それぞれと第1のゲート絶縁膜を介して形成された第1、第2の孤立状ゲート電極と、前記第1の素子領域パターン部と前記選択ゲート電極との間、および前記第2の素子領域パターン部と前記選択ゲート電極との間それぞれに設けられ、前記第1、第2の素子領域パターン部それぞれと第2のゲート絶縁膜を介して形成された第3、第4の孤立状ゲート電極とを具備し、前記制御ゲート電極は、前記第1、第2の孤立ゲート電極と第3のゲート絶縁膜を介して電氣的に絶縁されて、メモリセルトランジスタにゲート電位を供給するワード線を構成し、前記第1、第2の孤立状ゲート電極はそれぞれ、前記ワード線を構成する制御ゲート電極と前記第1、第2の素子領域パターン部との間に電氣的に浮遊な状態で配置されて、前記メモリセルトランジスタのしきい値電圧を調節する電荷蓄積層を構成し、前記選択ゲート電極は、前記第3、第4の孤立ゲート電極と前記第1、第2の素子領域パターン部上で電氣的に接続されて、前記メモリセルトランジスタを、ビット線あるいはソース線に電氣的に結合させる選択トランジスタのゲートを構成し、前記第3、第4の孤立状ゲート電極どうしの間の前記第2の素子分離パターン部上に前記第3のゲート絶縁膜が形成されていることを特徴とする。

【0046】また、請求項9に係る発明では、請求項8に係る発明において、前記制御ゲート電極、および前記選択ゲート電極はそれぞれ、前記第3のゲート絶縁膜に接する第1の導電層と、この第1の導電層に接する第2の導電層とを少なくとも含む積層構造を含み、前記選択ゲート電極の前記第1の導電層は、前記第3、第4の孤立状ゲート電極どうしの間の前記第2の素子分離パターン部上に形成され、前記選択ゲート電極の第2の導電層は、前記第1の素子領域パターン部上で前記第3の孤立

状ゲート電極に、前記第2の素子領域パターン部上で前記第4の孤立状ゲート電極にそれぞれ電氣的に接続されていることを特徴とする。

【0047】また、別の目的を達成するために請求項10に係る発明では、半導体基板と、前記基板に設けられ、第1、第2、第3の素子分離パターン部を有する素子分離領域と、前記素子分離領域によって分離され、前記第1、第2の素子分離パターン部に挟まれた第1の素子領域パターン部、前記第2、第3の素子分離パターン部に挟まれた第2の素子領域パターン部を有する半導体活性領域と、前記第1の素子分離パターン部、前記第1の素子領域パターン部、前記第2の素子分離パターン部、前記第2の素子領域パターン部、および前記第3の素子分離パターン部上に亘って配置される制御ゲート電極と、前記第1の素子分離パターン部、前記第1の素子領域パターン部、前記第2の素子分離パターン部、前記第2の素子領域パターン部、および前記第3の素子分離パターン部上に亘って配置され、前記制御ゲート電極と略並行する選択ゲート電極と、前記第1の素子領域パターン部と前記制御ゲート電極との間、および前記第2の素子領域パターン部と前記制御ゲート電極との間それぞれに設けられ、前記第1、第2の素子領域パターン部それぞれと第1のゲート絶縁膜を介して形成され、前記第1、第2、第3の素子分離パターン部の側端部それぞれに自己整合した側面を有する第1、第2の孤立状ゲート電極と、前記第1の素子領域パターン部と前記選択ゲート電極との間、および前記第2の素子領域パターン部と前記選択ゲート電極との間それぞれに設けられ、前記第1、第2の素子領域パターン部それぞれと第2のゲート絶縁膜を介して形成され、前記第1、第2、第3の素子分離パターン部の側端部それぞれに自己整合した側面を有する第3、第4の孤立状ゲート電極とを具備する。そして、前記制御ゲート電極は、前記第1、第2の孤立ゲート電極と第3のゲート絶縁膜を介して電氣的に絶縁されて、メモリセルトランジスタにゲート電位を供給するワード線を構成し、前記第1、第2の孤立状ゲート電極はそれぞれ、前記ワード線を構成する制御ゲート電極と前記第1、第2の素子領域パターン部との間に電氣的に浮遊な状態で配置されて、前記メモリセルトランジスタのしきい値電圧を調節する電荷蓄積層を構成し、前記選択ゲート電極は、前記第3、第4の孤立ゲート電極と前記第1、第2の素子領域パターン部上で電氣的に接続されて、前記メモリセルトランジスタを、ビット線あるいはソース線に電氣的に結合させる選択トランジスタのゲートを構成し、前記選択ゲート電極下の前記第1、第2、第3の素子分離パターン部の膜厚は、前記制御ゲート電極下の前記第1、第2、第3の素子分離パターン部の膜厚より実質的に厚いことを特徴とする。

【0048】また、請求項11に係る発明では、請求項10に係る発明において、前記第1、第2の素子形成パ

ターン部内それぞれに形成された、前記選択トランジスタのソース／ドレインの一方として機能する第1の領域、前記メモリセルトランジスタのソース／ドレインの一方として機能する第2の領域、前記選択トランジスタおよび前記メモリセルトランジスタそれぞれのソース／ドレインの他方として機能し、前記選択トランジスタおよび前記メモリセルトランジスタで互いに共有される第3の領域をさらに具備する。そして、前記第3、第4の孤立状ゲート電極の上面から、前記第1、第2、第3の素子分離パターン部の前記第1の領域を分離する部分の上面までの距離は、前記第1、第2の孤立状ゲート電極の上面から、前記第1、第2、第3の素子分離パターン部の前記第2の領域を分離する部分の上面までの距離以下であることを特徴とする。

【0049】また、請求項12に係る発明では、請求項11に係る発明において、前記第1、第2、第3の素子分離パターン部の前記第1の領域を分離する部分の膜厚は、前記第1、第2、第3の素子分離パターン部の前記第2の領域を分離する部分の膜厚以上であることを特徴とする。

【0050】また、請求項13に係る発明では、請求項12に係る発明において、前記選択ゲート電極下の前記第1、第2、第3の素子分離パターン部の膜厚は、前記第1、第2、第3の素子分離パターン部の前記第1の領域を分離する部分の膜厚以上であることを特徴とする。

【0051】また、請求項14に係る発明では、請求項12に係る発明において、前記選択ゲート電極下の前記第1、第2、第3の素子分離パターン部の一部分の膜厚は、前記第1、第2、第3の素子分離パターン部の前記第1の領域を分離する部分の膜厚以上で、前記選択ゲート電極下の前記第1、第2、第3の素子分離パターン部の他部分の膜厚以下であることを特徴とする。

【0052】また、請求項15に係る発明では、請求項11乃至請求項14いずれか一つに係る発明において、前記第1、第2、第3の素子分離パターン部の前記第3の領域を分離する部分に段差が有ることを特徴とする。

【0053】また、主要な目的を達成する請求項16に係る不揮発性半導体記憶装置の製造方法は、半導体基板上に、第1のゲート絶縁膜、第1の導電体膜を含む第1の積層構造を形成する工程と、前記第1の積層構造上に、第1、第2の素子領域パターン部を有する半導体活性領域を分離するための、第1、第2、第3の素子分離パターン部を有する素子分離領域に対応した窓を有するマスク材を形成する工程と、前記マスク材をマスクに用いて、前記第1の積層構造および前記基板をエッチングし、前記基板に素子分離領域パターンに応じた溝を形成する工程と、前記溝を絶縁物で埋め込み、素子分離領域を形成する工程と、前記マスク材を除去し、前記第1の導電体膜の少なくとも上面を露出させる工程と、前記第1の導電体膜に電気的に接続される第2の導電体膜を形

成する工程と、前記第2の導電体膜を、前記第1、第2の素子領域パターン部上それぞれに沿って、前記第1、第2、第3の素子分離パターン部上に側面が配置され、前記第1の導電体膜の少なくとも上面を隠す第1、第2の線状パターンにパターンニングする工程と、前記第1の素子分離パターン部、前記第1の線状パターン、前記第2の素子分離パターン部、前記第2の線状パターン、前記第3の素子分離パターン部それぞれの上に亘って、第2のゲート絶縁膜、第3の導電体膜を含む第2の積層構造を形成する工程と、前記第1の積層構造、前記第1、第2の線状パターン、前記第2の積層構造を、前記第1、第2の素子領域パターン部に交差する方向に延在し、前記第1のゲート絶縁膜と、前記第1の導電体膜および前記第2の導電体膜からなる孤立状ゲート電極と、前記第2のゲート絶縁膜と、前記第3の導電体膜からなる制御ゲート電極とを含む積層ゲートに加工する工程とを具備することを特徴とする。

【0054】また、請求項17に係る製造方法では、請求項16に係る製造方法において、前記第1の導電体膜の上面は、前記第1の導電体膜の上面の位置が、前記第1、第2、第3の素子分離パターン部の上面の位置よりも低い状態で露出されることを特徴とする。

【0055】また、請求項18に係る製造方法では、請求項16および請求項17いずれか一つに係る製造方法において、前記第1の積層構造、前記第1、第2の線状パターン、前記第2の積層構造を、積層ゲートに加工する工程は、前記第2の積層構造の前記第3の導電体膜を、少なくとも前記第2の素子分離パターン部の上の前記第1、第2の線状パターン間の領域に残るように、前記第1、第2の線状パターンの少なくとも上面の前記第2のゲート絶縁膜が露出するまでエッチングする第1工程と、前記第1、第2の線状パターンの少なくとも上面の前記第2のゲート絶縁膜を、前記第1、第2の線状パターンを構成する前記第2の導電体膜が露出するまでエッチングする第2工程と、前記第3の導電体膜、前記第2の導電体膜、前記第1の導電体膜を、前記第1、第2の素子領域パターン部に交差する方向に互いに分離されるまでエッチングする第3工程とを含むことを特徴とする。

【0056】また、請求項19に係る製造方法は、請求項16乃至請求項18いずれか一つに係る製造方法において、前記第2の積層構造を形成する工程の後に、前記第2の積層構造のうち、選択トランジスタ形成領域に存在する前記第3の導電膜を除去し、前記第2の導電体膜の少なくとも上面を、前記選択トランジスタ形成領域で露出させる工程と、前記第2の積層構造上に、前記選択トランジスタ形成領域で前記第2の導電体膜に接し、メモリセルトランジスタ形成領域で前記第3の導電体膜に接する第4の導電体膜を形成する工程とをさらに具備することを特徴とする。

【0057】また、別の目的を達成する請求項20に係る不揮発性半導体記憶装置の製造方法は、半導体基板上に、第1のゲート絶縁膜、第1の導電体膜を含む第1の積層構造を形成する工程と、前記第1の積層構造上に、第1、第2の素子領域パターン部を有する半導体活性領域を分離するための、第1、第2、第3の素子分離パターン部を有する素子分離領域に対応した窓を有するマスク材を形成する工程と、前記マスク材をマスクに用いて、前記第1の積層構造および前記基板をエッチングし、前記基板に素子分離領域パターンに応じた溝を形成する工程と、前記溝を絶縁物で埋め込み、素子分離領域を形成する工程と、前記素子分離領域の上面を後退させるとともに、前記マスク材を除去して前記第1の導電体膜の上面および側面の一部を露出させる工程と、前記第1の素子分離パターン部、前記第1の素子領域パターン部上の前記第1の積層構造、前記第2の素子分離パターン部、前記第2の素子領域パターン部上の前記第1の積層構造、前記第3の素子分離パターン部それぞれの上に亘って、第2のゲート絶縁膜、第2の導電体膜を含む第2の積層構造を形成する工程と、前記第2の積層構造のうち、選択トランジスタ形成領域に存在する前記第2の導電体膜および前記第2のゲート絶縁膜を除去し、前記第1の導電体膜の少なくとも上面を、前記選択トランジスタ形成領域で露出させる工程と、前記第2の積層構造上に、前記選択トランジスタ形成領域で前記第1の導電体膜に接し、メモリセルトランジスタ形成領域で前記第2の導電体膜に接する第3の導電体膜を形成する工程と、前記第1の積層構造、前記第2の積層構造、前記第3の導電体膜を、前記第1、第2の素子領域パターン部に交差する方向に延在し、前記第1のゲート絶縁膜と、前記第1の導電体膜からなる孤立状ゲート電極と、前記第2のゲート絶縁膜と、前記第2、第3の導電体膜からなる制御ゲート電極とを含む第1の積層ゲート、およびこの第1の積層ゲートに略並行し、前記第1のゲート絶縁膜と、前記第1の導電体膜からなる孤立状ゲート電極と、この孤立状ゲート電極に前記第1、第2の素子領域パターン部上で電気的に接続される第3の導電体膜とを含む第2の積層ゲートに加工する工程とを具備することを特徴とする。

【0058】また、別の目的を達成する請求項21に係る不揮発性半導体記憶装置の製造方法は、半導体基板上に、第1のゲート絶縁膜、第1の導電体膜を含む第1の積層構造を形成する工程と、前記第1の積層構造上に、第1、第2の素子分離パターン部を有する半導体活性領域を分離するための、第1、第2、第3の素子分離パターン部を有する素子分離領域に対応した窓を有するマスク材を形成する工程と、前記マスク材をマスクに用いて、前記第1の積層構造および前記基板をエッチングし、前記基板に素子分離領域パターンに応じた溝を形成する工程と、前記溝を絶縁物で埋め込み、素子分離領域

を形成する工程と、前記マスク材を除去する工程と、選択トランジスタ形成領域に存在する前記素子分離領域の上面をマスクしつつ、メモリセルトランジスタ形成領域に存在する前記素子分離領域の上面を後退させ、少なくとも前記メモリセルトランジスタ形成領域で前記第1の導電体膜の上面および側面の一部を露出させる工程と、前記第1の素子分離パターン部、前記第1の素子領域パターン部上の前記第1の積層構造、前記第2の素子分離パターン部、前記第2の素子領域パターン部上の前記第1の積層構造、前記第3の素子分離パターン部それぞれの上に亘って、第2のゲート絶縁膜、第2の導電体膜を含む第2の積層構造を形成する工程と、前記第2の積層構造のうち、前記選択トランジスタ形成領域に存在する前記第2の導電体膜および前記第2のゲート絶縁膜を除去し、前記第1の導電体膜の少なくとも上面を、前記選択トランジスタ形成領域で露出させる工程と、前記第2の積層構造上に、前記選択トランジスタ形成領域で前記第1の導電体膜に接し、メモリセルトランジスタ形成領域で前記第2の導電体膜に接する第3の導電体膜を形成する工程と、前記第1の積層構造、前記第2の積層構造、前記第3の導電体膜を、前記第1、第2の素子領域パターン部に交差する方向に延在し、前記第1のゲート絶縁膜と、前記第1の導電体膜からなる孤立状ゲート電極と、前記第2のゲート絶縁膜と、前記第2、第3の導電体膜からなる制御ゲート電極とを含む第1の積層ゲート、およびこの第1の積層ゲートに略並行し、前記第1のゲート絶縁膜と、前記第1の導電体膜からなる孤立状ゲート電極と、この孤立状ゲート電極に前記第1、第2の素子領域パターン部上で電気的に接続される第3の導電体膜とを含む第2の積層ゲートに加工する工程とを具備することを特徴とする。

【0059】

【発明の実施の形態】以下、この発明の実施形態のいくつかを、NAND型EEPROMを例にしながら説明する。なお、実施形態においては、全図に亘り、同一の部分には同一の参照符号を付し、重複する説明を避けながら説明することにする。

【0060】図1(A)は、この発明の第1の実施形態に係るNAND型EEPROMのメモリセルアレイの平面図、図1(B)は、図1(A)中のB-B線に沿う断面図である。

【0061】図1(A)および(B)に示すように、P型シリコン基板1には、素子分離領域2が形成されている。素子分離領域2は、基板1の表面に半導体活性領域(素子領域)3を区画する。メモリセルアレイにおける活性領域3は、互いに並行した線状パターンを繰り返して有している。この線状パターンを分離するため、素子分離領域2もまた線状パターンを繰り返して有する。図1

(A)では、この線状パターンが繰り返される部分が示されている。素子分離領域2は、二酸化シリコンからな

る。実施形態の素子分離領域2は、後述する孤立ゲート電極パターンを有したマスクパターンをマスクに用いてトレンチ11を形成し、このトレンチ11の内部を二酸化シリコンで埋めた自己整合トレンチ型の分離領域である。この種の分離領域は、近時、STI (Shallow Trench Isolation) と呼ばれることがあるので、以下の説明では、STI領域2と称する。なお、STI領域2では、その直下の基板1内に、チャンネルストップと呼ばれる、高濃度P+型領域を形成する場合と、形成しない場合とがある。この実施形態では、形成しない場合を想定する。活性領域3上には、トンネル電流が流れ得るように薄く形成された第1のゲート絶縁膜4が形成されている。ゲート絶縁膜4は二酸化シリコンからなる。実施形態はNAND型であるので、以下、第1のゲート絶縁膜4をトンネル酸化膜4と称する。トンネル酸化膜4の上には、各メモリセルトランジスタに一つずつ設けられて孤立した孤立ゲート電極5が形成されている。図1

(A)に示す範囲では、孤立ゲート電極5は浮遊ゲートを構成する。したがって、この実施形態では、孤立ゲート電極5を浮遊ゲートと呼ぶ。浮遊ゲート5は導電性のポリシリコンからなり、電荷を蓄積する電荷蓄積層として機能する。浮遊ゲート5の上には、第2のゲート絶縁膜6が形成されている。第2のゲート絶縁膜6は、二酸化シリコン、窒化シリコン、二酸化シリコンを順次積層した、通常、ONO膜と呼ばれる積層膜からなる。以下、ONO膜6と呼ぶ。ONO膜6の上には、制御ゲート7が形成されている。制御ゲート7は、導電性のポリシリコンからなり、メモリセルアレイのロー方向に連続した線状に形成されて、ワード線として機能される。以下、ワード線7と呼ぶ。浮遊ゲート5とワード線7とは、同じマスクを用いて連続的にエッチングされて形成される。そのため、チャンネル幅方向(図ではロー方向)に沿ったエッジは、浮遊ゲート5、ワード線7それぞれで揃っている。浮遊ゲート5とワード線7とが積層されたゲート構造を、積層ゲート8と呼ぶ。N型ソース/ドレイン領域9は、積層ゲート8とSTI領域2とをマスクに用いて、N型不純物を活性領域3内にイオン注入することにより形成される。上記実施形態において、その浮遊ゲート5は、その側面が、STI領域2の線状パターン部の側端部それぞれに自己整合した下層部5Lと、平面から見てこの下層部5Lの側面を覆うとともに、その側面が、STI領域2の線状パターン部の上面まで張り出した上層部5Uとから構成されている。上層部5Uのロー方向に沿った幅は、活性領域3のロー方向に沿った幅よりも大きく、かつ上層部5Uのカラム方向に沿った側面はそれぞれ、STI領域2の上面に配置されている。このため、上層部5Uの上面の面積は、下層部5Lの上面の面積よりも大きい。したがって、浮遊ゲート5とワード線7との対向面積は、従来の自己整合トレンチ型のものよりも大きくでき、浮遊ゲート5、ONO膜6

およびワード線7とで構成されるキャパシタの容量“C2”を、浮遊ゲート5、トンネル酸化膜4およびチャンネル(基板1)とで構成されるキャパシタの容量“C1”より、その構造上、充分に大きくすることができる。容量“C2”を、容量“C1”より充分に大きくすることで、例えばデータの書き込み時、あるいはデータの消去時にワード線7に印加される、電源電圧よりも高い書き込み電圧VPPを、従来の自己整合トレンチ型のEEPROMに比べて、低くすることが可能となる。

【0062】また、従来の自己整合トレンチ素子分離型のEEPROMにおいては、浮遊ゲート5の側面をSTI領域2の上面から露出させ、容量“C2”を増加させることもできる。この構造では、浮遊ゲート5のSTI領域2の上面からの突出する量を大きくすることで、より大きい容量“C2”を得ることができる。浮遊ゲート5の突出する量を大きくするには、浮遊ゲート5の厚みを増すか、あるいはSTI領域2の上面を後退させる量を大きくすればよい。しかしながら、浮遊ゲート5の厚みを増すと、積層ゲート8の加工時に、より厚い積層構造をエッチングする必要が生ずるので、例えばSTI領域2の膜厚が大きく減少する可能性が高まる。また、STI領域2の上面を、より大きく後退させた場合には、当然ながら、STI領域2の膜厚が大きく減少する。さらには、浮遊ゲート5がSTI領域2の上面から大きく突出する構造であるので、特に浮遊ゲート5より上層において、その平坦性が悪化し、微細加工性が低下してしまう。

【0063】これに対して上記実施形態によれば、浮遊ゲート5(5U、5L)の高さを厚くしなくても、上層部5Uの平面から見た面積を増加させれば、容量“C2”は大きくなる。このため、積層ゲート8の加工時にエッチングされる積層構造を、より薄くすることが可能であり、積層ゲート8の加工時に、STI領域2の膜厚が大きく減少する可能性は低くなる。もちろん、STI領域2の上面を後退させる必要もない。さらに上層部5UがSTI領域2の上面から大きく突出せず、浮遊ゲート5の上層の平坦性は良好であり、微細加工性に優れた構造を得ることができる。

【0064】次に、その製造方法の一例を説明する。

【0065】図2(A)～(C)、図3(A)～(C)、図4(A)～(B)はそれぞれ、この発明の第1の実施形態に係るNAND型EEPROMのメモリアレイを、主要な製造工程毎に示した断面図である。なお、これら断面は、図1(A)中のB-B線に沿っている。

【0066】まず、図2(A)に示すように、シリコン基板1の上に、トンネル酸化膜4、浮遊ゲート5の下層部5Lとなる導電性ポリシリコン膜13を順次形成する。次いで、STI領域2を形成する領域以外をシリコン窒化膜14で覆う。窒化膜14は、トレンチ形成のた

めのマスク材であり、必要がなければ無くても良い。

【0067】次いで、図2(B)に示すように、窒化膜14を、エッチングの障壁に用いながら、導電性ポリシリコン膜13、トンネル酸化膜4、シリコン基板1を順次エッチングし、トレンチ11を形成する。トレンチ11の形成には、RIE法が用いられる。トレンチ11の深さは、トレンチ11の内部に形成されるSTI領域2下の導電型反転耐圧や、STI領域2によって分離される半導体活性領域3間のパンチスルー耐圧を考慮して、最適な深さを選ぶことができる。

【0068】また、トレンチ11を形成した後、必要に応じてトレンチ11の内部を洗浄したり、トレンチ11に露出した基板1の表面に側壁処理膜を形成しても良い。側壁処理膜は、基板1を熱酸化した熱酸化膜、あるいはCVD法を用いて堆積した二酸化シリコンが使用される。

【0069】また、トレンチ11の下に、基板1と同じ導電型の不純物をイオン注入し、チャンネルストップを形成し、上記反転耐圧や、パンチスルー耐圧を向上させても良い。

【0070】次いで、シリコン基板1の全面に二酸化シリコンを堆積した後、図2(C)に示すように、堆積した二酸化シリコンを、RIE法、またはCMP法を用いてエッチバックして、トレンチ11の内部を二酸化シリコンで埋め込む。これにより、STI領域2が完成し、基板1には、線状の繰り返しパターンを有した活性領域3が区画される。トレンチ11の内部を埋め込む二酸化シリコンは、段差被覆性に富むもの、例えばTEOSやBPSGなどが良い。

【0071】次いで、図3(A)に示すように、窒化膜14を除去する。この時、STI領域2の上面は、導電性ポリシリコン膜13の上面と一致するように、エッチングしても構わない。しかし、この実施形態では、STI領域2の上面をエッチングせず、窒化膜14を除去するだけとしている。この方法によれば、STI領域2の膜厚 $t_2$ に、ほぼ形成時の膜厚を持たせることができ、後の積層ゲート加工時の加工マージンを大きくとることができる、という利点がある。

【0072】また、高耐圧型MOSFETに使用する、図示せぬ厚いゲート酸化膜は、STI領域2が形成される前か、STI領域2が形成された後でも、メモリセルアレイ上をマスクで覆った状態で形成される。このため、厚いゲート酸化膜を活性領域3上に形成する時には、STI領域2はエッチングされない。

【0073】次いで、図3(B)に示すように、上層部5Uとなる導電性ポリシリコン膜15を形成する。

【0074】次いで、図3(C)に示すように、導電性ポリシリコン膜15上に、浮遊ゲート5を各メモリセルトランジスタ毎に分断する“スリット”に対応した窓20を有するホトレジスト膜16を形成する。この窓20

の幅“Wwindow”は、STI領域2の線状パターンの幅“WSTI”よりも狭い。そして、窓20を形成するためのリソグラフィのマスクは、窓20が必ずSTI領域2の線状パターン上に配置されるように合わせられる。詳しくは後述するが、“マスクの合わせずれ”が生じて、チップ毎に、メモリセルトランジスタの容量C2がばらつかないようにするためである。次いで、ホトレジスト膜16をマスクに用いて、導電性ポリシリコン膜15をエッチングし、導電性ポリシリコン膜15に“スリット”21を形成する。この“スリット”21の形成時、STI領域2は、若干、エッチングされる。しかしながら、STI領域2には、図3(A)に示したように十分な膜厚 $t_2$ があるので、従来のLOCOS型やトレンチ型の素子分離領域よりも、十分な加工マージンを得ることができる。

【0075】次いで、図3(C)に示す構造からホトレジスト膜16を除去した後、図4(A)に示すように、その構造の全面にONO膜6を形成する。次いで、ONO膜6の上に、ワード線7となる導電性ポリシリコン膜17を形成する。導電性ポリシリコン膜17は、ワード線7となるために、例えば導電性ポリシリコン膜13、15よりもシート抵抗の低い、低抵抗なものがよい。また、導電性ポリシリコンに変えて、導電性ポリシリコンよりも、より低抵抗な高融点金属、あるいは高融点金属とシリコンとが化合した高融点金属シリサイドや、これらの積層膜などとしても良い。

【0076】次いで、図4(B)に示すように、ワード線7の形成パターンに応じたパターンを持つホトレジスト膜18を形成する。次いで、ホトレジスト膜18をマスクに用いて、導電性ポリシリコン膜17、ONO膜6、導電性ポリシリコン膜15、および導電性ポリシリコン膜13をエッチングし、ワード線7、下層部5L、上層部5Uの二層構造からなる浮遊ゲート5を含む積層ゲート8を形成する。この積層ゲート8の加工時、積層ゲート8の下以外のSTI領域2はエッチングされるが、図3(C)のスリットの加工時と同様、積層ゲート8は、STI領域2が十分な膜厚を有した状態で加工される。このため、積層ゲート8を、従来のLOCOS型やトレンチ型の素子分離領域よりも高い加工マージンを有した状態で加工することができる。

【0077】この後、特に図示しないが、周知の製法にしたがって、ソース/ドレイン領域9、層間絶縁膜、ビット線コンタクト孔などのコンタクト孔、ビット線などの配線層を形成することで、この発明の第1の実施形態に係るNAND型EEPROMが完成する。

【0078】このような第1の実施形態に係るNAND型EEPROMによれば、従来の自己整合トレンチ素子分離型のNAND型EEPROMよりも、浮遊ゲート5、ONO膜6およびワード線7とで構成されるキャパシタの容量“C2”を大きくでき、例えば書き込み電圧

VPPの、さらなる低電圧化を推進することができる。

【0079】また、スリット21、および積層ゲート8の加工は、充分な膜厚を有するSTI領域2の上で行うことができ、従来のLOCOS素子分離型やトレンチ素子分離型のNAND型EEPROMに比べて、メモリセルアレイに高い加工マージンを持たせることができ、さらなるメモリセルトランジスタの微細化を推進することができる。また、この効果は、特に図3(A)～

(C)、図4(A)～(B)に示すように、下層部5Lの上面よりも、STI領域2の上面のほうが高い構造のとき、顕著である。この構造は、トレンチ11を埋め込み、平坦化した後、窒化膜14を除去することで得られる構造であるので、STI領域2の上面をエッチングしない。このエッチングをしない分、STI領域2に充分な膜厚を残すことができる。

【0080】さらに、第1の実施形態に係るNAND型EEPROMでは、上層部5Uで、下層部5Lを隠すことによって、自己整合トレンチ素子分離型において、マスクの“合わせずれ”による、容量C2の変動を吸収できる。このため、各ウェーハ毎に、容量“C2”の値を均一にしやすい。以下、これを、第1の比較例を参照しながら説明する。

【0081】図5(A)は、この発明の第1の比較例に係るNAND型EEPROMのメモリセルアレイの平面図、図5(B)は、図5(A)中のB-B線に沿う断面図、図6(A)および(B)はそれぞれ比較例に係るNAND型EEPROMのメモリセルアレイにマスクずれが生じた状態を示す断面図である。

【0082】図5(A)および(B)に示すように、第1の比較例では、上層部5Uを、下層部5Lの上面が露出するようにずらしている。下層部5Lの上面が露出した領域22は、ワード線7と浮遊ゲート5との対向面積を増加させ、第1の実施形態よりも、容量“C2”を、さらに向上できる構造とされている。

【0083】しかし、第1の比較例では、図6(A)および(B)に示すように、スリットを形成するためのマスクが、所定の合わせ位置“a”から、位置“a'”にずれた場合、そのずれに応じて、領域22に露出する下層部5Lの露出面積が変わる。露出面積の変動は、容量“C2”を変動させる。このため、各ウェーハ毎に、容量“C2”の値を均一にすることが難しく、結果として、製造されるNAND型EEPROM製品個々で、容量“C2”がばらつきやすくなる。実際の製品では、このような容量“C2”のばらつきに、ある程度のマージンを見込み製造するので、製品自体を害するものではない。しかし、製品間の特性ばらつきは、多少大きくなる。製品間の特性ばらつきは、より狭くすることが、高い性能、高い品質の製品を提供するのに重要な事項である。

【0084】図7(A)および(B)はそれぞれこの発

明の第1の実施形態に係るNAND型EEPROMのメモリセルアレイにマスクずれが生じた状態を示す断面図である。

【0085】第1の比較例に対して、第1の実施形態では、図7(A)および(B)に示すように、スリットを形成するためのマスクが、所定の合わせ位置“a”から、位置“a'”にずれても、下層部5Lは、上層部5Uにより常に隠される状態とすることで、ワード線7と浮遊ゲート5との対向面積を変わらないようにすることができる。したがって、マスクがずれても、容量“C2”は変動せず、比較例に比べて、各ウェーハ毎に、容量“C2”の値を均一にしやすい。結果として、製造されるNAND型EEPROM製品個々の、容量“C2”のばらつきは小さくなる。容量C2のばらつきが小さいことで、第1の実施形態は、第1の比較例に比べて、例えばメモリセルトランジスタが記憶するデータに対応したしきい値電圧を狭い範囲に、容易に分布させることができる。

【0086】通常、EEPROMのデータ書き込みでは、メモリセルトランジスタのしきい値電圧が所望の範囲内に収まるまで、データ書き込みと、ベリファイ読み出しとを、何回か繰り返す。容量“C2”のばらつきが大きいEEPROMでは、この繰り返し回数が多く、データの書き込みに長い時間を要する。しかし、この実施形態では、容量“C2”のばらつきが小さいために、上記繰り返し回数が減る。このため、データの書き込みに要する時間は短縮され、例えば第1の比較例に比較し、より高速な書き込み動作を実現することができる。

【0087】また、しきい値電圧を、容易に狭い範囲に分布できる第1の実施形態は、“0”、“1”の二値のデータを記憶するメモリだけでなく、二値以上のデータ、例えば“00”、“01”、“10”、“11”のような四値のデータ、あるいはそれ以上の値のデータを記憶するような多値メモリにも好ましく実施できる。

【0088】特に第1の実施形態を多値メモリに適用した場合には、データ書き込み時間を短縮できる効果は、非常に高いものとなる。即ち、一度めの書き込みの段階で、しきい値電圧は、目的とするしきい値電圧の範囲に、高い精度で近づくためである。

【0089】なお、第1の実施形態では、実施に際し、次のような変形が、特に有効である。

【0090】まず、トンネル酸化膜4は、ワード線7と基板1との間に印加される電圧によって、浮遊ゲート5と基板1との間で電荷の授受が可能な厚さの絶縁膜とする。例えばその膜厚10nm以下である。その材料は二酸化シリコン(SiO<sub>2</sub>)の他、窒化シリコン(Si<sub>3</sub>N<sub>4</sub>)、または酸窒化シリコン(SiON)等から選ばれる。

【0091】また、ワード線7を構成する導電材料は、例えば不純物のドーピングにより電気伝導率が高められ



たポリシリコンの他、非晶質シリコンなどが良い。

【0092】また、ONO膜6は、浮遊ゲート5とワード線7との間を電氣的に分離できる膜厚を有し、その材料はONO膜の他、二酸化シリコン、あるいは窒化シリコン、あるいは酸窒化シリコンの単層膜、あるいはこれらの積層膜が良い。

【0093】また、トレンチ11内に埋め込まれた絶縁材料は二酸化シリコン、特にTEOS、BPSGが良い。

【0094】これらの実施に有効な変形は、以下に説明する実施形態においても、好ましく適用できる。

【0095】図8(A)は、この発明の第2の実施形態に係るNAND型EEPROMのメモリセルアレイおよびメモリ周辺回路の平面図、図8(B)は、図8(A)中のB-B線に沿う断面図である。

【0096】この第2の実施形態は、メモリセルアレイにおけるSTI領域2に、充分な加工マージンを持たせるだけでなく、メモリを動作/駆動させるためのメモリ周辺回路が形成される周辺回路領域においても、充分な加工マージンを持たせることを目的としている。

【0097】図8(A)および(B)に示すように、メモリセルアレイ31内の構造は、第1の実施形態と同様であるが、周辺回路領域32内に形成されるトランジスタ(MOSFET)“PT”の構造が、第2の実施形態の特徴となっている。即ち、トランジスタ“PT”の構造を、メモリセルトランジスタ“MT”の構造に準じたものとする。これらトランジスタ“MT”、“PT”どうしが特に異なるところは、トランジスタ“MT”では、浮遊ゲート5の下層部35L、上層部35Uを構成し、各トランジスタ“MT”毎に孤立される二層の導電材料が、MOSFET“PT”では、そのゲート35自体を構成しており、トランジスタ“PT”のゲート35は、活性領域3上において、下層部35L、上層部35Uの二層の導電材料からなっている。この実施形態では、下層部35Lは活性領域3上に、ゲート酸化膜34を介して形成されて、STI領域2の側端部間に残されている。また、その上層部35Uは、トランジスタ“PT”を駆動、もしくは制御する信号を、そのゲートまで導く内部配線層を構成している。図8(A)、(B)に示す例では、トランジスタ“PT”を駆動/制御する信号が、層間絶縁膜40上に形成された低抵抗金属からなる内部配線層41より、コンタクト孔42を介して、上層部35Uに供給される。コンタクト孔42は、例えば周辺回路領域32内のSTI領域2の上に形成される。

【0098】また、トランジスタ“MT”のワード線7を構成していた導電材料37は、周辺回路領域32の活性領域3上においては、トランジスタ“PT”の上層部35Uの上にONO膜6を介してそのまま残されている。導電材料37は、STI領域2上で、コンタクト孔42の近傍のみが除去されている。

【0099】また、図示するトランジスタ“PT”が、小さい電圧の信号を駆動/制御するものであるときのゲート酸化膜34の一つの例は、トンネル酸化膜4と同一のものである。他の例は、トンネル酸化膜4とほぼ同等の膜厚を持つ比較的薄い熱酸化膜である。また、図示するトランジスタ“PT”が、大きい電圧の小さい信号を駆動/制御するものであるときのゲート酸化膜34の一つの例は、トンネル酸化膜4よりも十分に厚い熱酸化膜である。このようなゲート酸化膜34は、例えば図2(A)に示した時点において、基板1と導電性ポリシリコン膜13との間に既に形成されているのが、特に好ましい。これは、STI領域2を形成する前に、下層部35Lと基板1との間にゲート酸化膜34を形成しておくことで、ゲート酸化膜34を形成するために周辺回路領域32のSTI領域2をエッチングせずに済むためである。

【0100】なお、図中、参照符号10は、メモリセルアレイ31内に形成されるビット線、参照符号39は、トランジスタ“PT”のソース/ドレイン領域を示している。また、参照符号43は、ソース/ドレイン領域39と内部配線層とのコンタクトを示しているが、この内部配線層は同図では省略している。

【0101】このような第2の実施形態に係るNAND型EEPROMによれば、周辺回路を構成するトランジスタ“PT”のゲート35を、メモリセルトランジスタ“MT”の浮遊ゲート5と同様に、上層部35U/下層部35Lの二層構造とすることで、第1の実施形態に係るメモリセルトランジスタ“MT”の製造プロセスと共通のプロセスで、周辺回路を構成するトランジスタ“PT”を形成できる、という利点を得ることができる。

【0102】さらには、メモリセルトランジスタ“MT”のゲート35の下層部35Lと基板1との間に、所望の膜厚を有するゲート酸化膜34を形成しておいてから、STI領域2を形成することで、メモリセルアレイ31だけでなく、周辺回路領域32においても、STI領域2の膜厚の減少を抑制できる、という利点を得ることができる。上記所望の膜厚を有するゲート酸化膜34は、例えば小さい電圧を駆動/制御するトランジスタではトンネル酸化膜4と同じかほぼ同程度の比較的薄いもの、あるいは大きい電圧を駆動/制御するトランジスタではトンネル酸化膜4よりも十分に厚いものである。もちろん、薄いゲート酸化膜、厚いゲート酸化膜をそれぞれ、下層部35Lと基板1との間に形成しておいて良い。

【0103】次に、この発明の第3の実施形態を説明する。

【0104】この第3の実施形態は、メモリセルアレイにおけるSTI領域2に、充分な加工マージンを持たせたまま、メモリセルトランジスタ、および選択ゲートトランジスタをそれぞれ形成することを目的としている。



より具体的には、選択ゲートトランジスタを形成する際、STI領域2のワード線と同一方向に沿って延びる選択ゲート線の近傍に発生する“膜減り”を抑制する。

【0105】図9(A)は、この発明の第3の実施形態に係るNAND型EEPROMのメモリセルアレイの平面図、図9(B)は、図9(A)中の9B-9B線に沿う断面図である。また、図10(A)は、図9(A)中の10A-10A線に沿う断面図、図10(B)は、図9(A)中の10B-10B線に沿う断面図である。なお、図9(A)においては、ビット線(BL)は省略されている。

【0106】図9(A)、(B)、図10(A)、(B)に示すように、第3の実施形態では、メモリセルトランジスタ“MT”は、第1の実施形態と同様な構造を持つ。さらに選択トランジスタ“ST”を、トランジスタ“MT”の構造に準じた構造とする。即ち、トランジスタ“ST”は、各トランジスタ“ST”毎に孤立したゲート部材55と、このゲート部材55に電気的に接続される選択ゲート線57との積層構造により構成される。ゲート部材55は、浮遊ゲート5と同様、上層部55U、下層部55Lの二層構造であり、活性領域3上にゲート酸化膜54を介して形成されている。ゲート部材55の、特に上面部は、ONO膜6が除去されており、活性領域3の上において、選択ゲート線57に電気的に接続されている。選択ゲート線57は、ワード線7と同じ導電膜で構成されており、ワード線7と並行して線状に形成される。選択ゲート線57と孤立したゲート部材55との積層構造を、以下、積層ゲート58という。

【0107】さらに、STI領域2の上には、ONO膜6が、浮遊ゲート5およびゲート部材55を分断するためのスリット21に沿って残されている。STI領域2の上に残されたONO膜6は、特に積層ゲート8、58の加工時、STI領域2の“膜減り”を抑制する。また、特に図10(A)に参照符号52によって示されるSTI領域2のゲート部材55間の領域上には、ONO膜6が残されている。このゲート部材55間に残されたONO膜6は、選択トランジスタ形成領域“STA”から、ONO膜6を除去する時、および積層ゲート加工時にそれぞれ、STI領域2の“膜減り”を抑制する。詳しくは、後述する。参照符号“MTA”は、メモリセルトランジスタ形成領域を示している。

【0108】次に、第3の実施形態に係るNAND型EEPROMの効果について、第2、第3の比較例を参照しながら説明する。

【0109】なお、第2、第3の比較例はそれぞれ、第1の実施形態と同様のメモリセルトランジスタが用いられる。つまり、第2、第3の比較例は、第1の実施形態において、その選択トランジスタの構成の例を開示したもので、第1の実施形態の変形例である。したがって、第2、第3の比較例はそれぞれ、第1、第2、第3の実

施形態と同様に、この発明に係るNAND型EEPROMである。

【0110】図11は、第2の比較例に係るNAND型EEPROMの、スリット加工時の平面図である。

【0111】図11に示すように、第2の比較例では、スリット21を領域“STA”に形成せず、後にポリシリコン膜15によってロー方向に連続して形成される構成とする。これにより、各選択ゲートトランジスタ“ST”毎に、ポリシリコン膜15と、図示せぬワード線と並行して形成されるポリシリコン膜とを電気的に接続する必要が無く、ポリシリコン膜15を、任意のメモリセルアレイ内で、コンタクトを介してワード線と並行して形成されるポリシリコン膜に接続すれば良い。

【0112】ところが、第2の比較例の構造では、メモリセルアレイが微細化されてくると、スリット21を加工する時のリソグラフィが困難になる事情がある。具体的には、メモリセルアレイ内においては、行列状に分散されて形成されるスリットを、ホトレジストに形成しにくくなる。つまり、スリット21を加工する場合は、領域“STA”においてラインパターン、領域“MTA”においてラインパターンとスペースパターンとの繰り返しとなる（以下、ライン&スペースパターンという）。このような複雑なパターンは、リソグラフィ時や、エッチング時のカラム方向寸法変換差と、ロー方向寸法変換差が異なってしまうことが多い。これにより、寸法制御マージンが低下する。特に領域“STA”に残されるべきポリシリコン膜15の寸法の制御が困難化する。

【0113】また、第2の比較例では、メモリセルアレイ内において、ポリシリコン膜15と図示せぬワード線と並行して形成されるポリシリコン膜とをコンタクト孔を介して接続し、選択ゲート線を形成することが必要である。ここで、選択ゲート線の配線抵抗は、選択ゲート線1本あたりのコンタクトの数に依存する。つまり、ポリシリコン膜15は、浮遊ゲートを構成する材料であり、ポリシリコン膜17よりもシート抵抗が高く設定されるためである。選択ゲート線の配線抵抗が大きいと、データの書き込み時、あるいは読み出し時の信号遅延が大きくなり、高速な動作が行いづらくなる。このため、第2の比較例においては、ポリシリコン膜15に対するコンタクト孔の数を減らすことは現実的ではない。メモリセルアレイ内に設けられるコンタクト孔は、当然ながらメモリセルアレイの微細化を妨げる。

【0114】このような事情を解消できるのが、第3の比較例である。

【0115】図12は、第3の比較例に係るNAND型EEPROMの、スリット加工時の平面図である。

【0116】図12に示すように、第3の比較例では、ポリシリコン膜15を、領域“STA”においても、スリット21によって分断してしまう。

【0117】このような第3の比較例では、スリット2

1が、領域“STA”、領域“MTA”の双方においてライン&スペースパターンとなり、リソグラフィ時の解像パターンが単純化される。このため、寸法の制御が容易で、微細化に適する。

【0118】また、ワード線と同じポリシリコン膜でワード線と並行して形成される選択ゲート線とポリシリコン膜15とのコンタクトは、ポリシリコン膜15上のONO膜6を除去することで得られる。このため、コンタクト孔は必要でない。

【0119】しかしながら、ポリシリコン膜15上のONO膜6を除去するために、積層ゲート加工時、STI領域2の膜厚の減少が、より激しく発生する、という事情がある。

【0120】図13(A)、(B)は、第3の比較例に係るNAND型EEPROMのONO膜6の除去工程を示す断面図、図14(A)、(B)は、第3の比較例に係るNAND型EEPROMの積層ゲート加工工程を示す断面図である。図13(A)、図14(A)はそれぞれ、図12(A)のA-A線に沿う断面、図13

(B)、図14(B)はそれぞれ、図12(A)のB-B線に沿う断面である。

【0121】まず、図13(A)および(B)に示すように、領域“MTA”の上をホトレジスト膜61で覆う。次いで、ホトレジスト膜61をマスクに用いて、領域“STA”の上からONO膜6を除去する。ONO膜6は、STI領域2の主要な構成物である二酸化シリコンを含む。このため、ONO膜6をエッチングしているとき、ポリシリコン膜15どうしに挟まれた領域52において、STI領域2の膜厚が減少する。

【0122】さらに、図14(A)および(B)に示すように、領域“STA”にはONO膜6がない。このため、積層ゲート加工時、領域“STA”におけるSTI領域2の膜厚の減少量は、ONO膜6が残っている領域“MTA”より大きくなる。このため、領域“STA”におけるSTI領域2の膜厚は薄くなり、特に領域52において、領域“MTA”におけるポリシリコン膜15どうしに挟まれた領域62と比べ、顕著となる。

【0123】この点、第3の実施形態に係るNAND型EEPROMでは、STI領域2の、ポリシリコン膜15どうしに挟まれた領域上、即ちスリット21が形成される部分上にONO膜6が残されているので、ONO膜6の除去時、STI領域2の、特に領域52が膜減りしない。さらに積層ゲート加工時、領域“STA”におけるSTI領域2の膜厚の減少量は、ONO膜6が有るので、第3の比較例に比べて抑制することができる。したがって、上述した通りONO膜6の除去時、および積層ゲート加工時にそれぞれ、STI領域2の“膜減り”が抑制され、領域“STA”におけるSTI領域2の膜厚の減少を緩和することができる。

【0124】次に、第3の実施形態に係るNAND型E

EPROMの製造方法を説明する。

【0125】図15(A)、(B)～図19(A)、(B)はそれぞれ、第3の実施形態に係るNAND型EEPROMの主要な製造工程を示す断面図である。図15(A)～図19(A)は、図9(A)の10A-10A線に沿う断面であり、図15(B)～図19(B)は、図9(A)の10B-10B線に沿う断面である。

【0126】まず、図15(A)および(B)に示すように、図2(A)～図3(C)に示した構造にしたがって、導電性ポリシリコン膜15に、スリット21を形成した後、全面にONO膜6を形成する。

【0127】次いで、図16(A)および(B)に示すように、ONO膜6の上に、導電性ポリシリコン膜17を形成する。この後、好ましくは、同図に示すようにポリシリコン膜17の表面をCMPなどを用いて平坦化する。

【0128】次いで、図17(A)および(B)に示すように、領域“MTA”の上をホトレジスト63で覆う。次いで、ホトレジスト63をマスクに用いて、領域“STA”の上から、ポリシリコン膜17およびONO膜6を除去し、領域“STA”において、ポリシリコン膜15の上面を露出させる。この時、領域52上には、ONO膜6とポリシリコン膜17とを残す。

【0129】次いで、ホトレジスト63を除去した後、図18(A)および(B)に示すように、全面に導電性ポリシリコン膜19を形成する。この導電性ポリシリコン膜19は、より低抵抗な高融点金属、あるいは高融点金属とシリコンとが化合した高融点金属シリサイドなどとしても良い。このようにすれば、ワード線7や選択ゲート線57などは、ポリサイド構造や、ポリメタル構造となり、より低抵抗なものが得られる。

【0130】次いで、図19(A)および(B)に示すように、導電性ポリシリコン膜19の上に、ワード線7の形成パターンに応じたパターンを持つホトレジスト膜18WL、選択ゲート線57の形成パターンに応じたパターンを持つホトレジスト膜18SGを形成する。次いで、ホトレジスト膜18WL、18SGをマスクに用いて、ポリシリコン膜19、ポリシリコン膜17、ONO膜6、導電性ポリシリコン膜15、および導電性ポリシリコン膜13をエッチングし、ワード線7および下層部5L、上層部5Uの二層構造からなる浮遊ゲート5を含む積層ゲート8と、選択ゲート線57およびこれに接続される上層部55U、上層部55Lの二層構造からなる孤立ゲート部材55を含む積層ゲート58とを形成する。これら積層ゲート8、58の加工時、STI領域2の上には、ONO膜6が残されているので、STI領域2に発生する膜減りは抑制される。また、積層ゲート加工の方法は、次の通りに、3段階で行うのが好ましい。

【0131】ポリシリコン膜19を、シリコンをエッチングし易く、二酸化シリコンあるいは窒化シリコンをエ

ツチングし難いエッチャントを用いて、ポリシリコン膜 17 を STI 領域 2 の上に残し、ポリシリコン膜 15 の上に形成された ONO 膜 6 が露出するようにエッチングする。

【0132】次いで、露出した ONO 膜 6 を、二酸化シリコンあるいは窒化シリコンをエッチングし易く、シリコンをエッチングし難いエッチャントを用いて、ポリシリコン膜 15 が露出するようにエッチングする。

【0133】次いで、ポリシリコン 17、ポリシリコン 15、ポリシリコン 13 を、シリコンをエッチングし易く、二酸化シリコンあるいは窒化シリコンをエッチングし難いエッチャントを用いて、積層ゲート 8、並びに積層ゲート 58 が互いに分離されるまでエッチングする。

【0134】この後、特に図示しないが、周知の製法にしたがって、ソース/ドレイン領域 9、層間絶縁膜、ビット線コンタクト孔などのコンタクト孔、ビット線などの配線層を形成することで、この発明の第 3 の実施形態に係る NAND 型 EEPROM が完成する。

【0135】次に、この発明の第 4 の実施形態を説明する。

【0136】第 1、第 2、第 3 の実施形態ではそれぞれ、自己整合トレンチ素子分離型の EEPROM において、ワード線 7 と浮遊ゲート 5 との対向面積を、STI 領域 2 に張り出した上層部 5 U を設けることで増加させた。

【0137】以下に説明する第 4、第 5 の実施形態はそれぞれ、自己整合トレンチ素子分離型の EEPROM において、ワード線 7 と浮遊ゲート 5 との対向面積を、浮遊ゲート 5 の側面の一部を、STI 領域 2 から突出させて増加させる例に関する。

【0138】浮遊ゲート 5 の側面の一部を STI 領域 2 から突出させる EEPROM では、STI 領域 2 の上面を後退させる、あるいは浮遊ゲート 5 を厚く形成する必要がある。このため、STI 領域 2 に加工マージンが少なくなったり、あるいは積層ゲート加工時のエッチング量が増加するなどの事情がある。特に選択ゲートトランジスタを有する場合には、STI 領域 2 の膜厚が減少する事情は、領域“STA”において、さらに深刻となってくる。

【0139】そこで、第 4、第 5 の実施形態では、浮遊ゲート 5 の側面の一部を STI 領域 2 から突出させる EEPROM において、特に領域“STA”において生ずる STI 領域 2 の膜厚の減少を、抑制することを目的とする。

【0140】図 20 (A) は、この発明の第 4 の実施形態に係る NAND 型 EEPROM のメモリセルアレイの平面図、図 20 (B) は、図 20 (A) 中の 20B-20B 線に沿う断面図である。また、図 21 (A) は、図 20 (A) 中の 21A-21A 線に沿う断面図、図 21 (B) は、図 20 (A) 中の 21B-21B 線に沿う断

面図である。なお、図 20 (A) においては、ビット線 (BL) は省略されている。

【0141】図 20 (A)、(B)、図 21 (A)、(B) に示すように、第 4 の実施形態では、メモリセルトランジスタ“MT”の浮遊ゲート 5 の側面が STI 領域 2 の側端部に自己整合し、さらにその一部が STI 領域 2 の上面に突出している。さらに選択トランジスタ“ST”は、トランジスタ“MT”の構造に準じた構造となっており、側面が STI 領域 2 の側端部に自己整合し、さらにその一部が STI 領域 2 の上面に突出した孤立ゲート部材 55 を有している。孤立ゲート部材 55 の、特に上面部は、ONO 膜 6 が除去されており、活性領域 3 の上において、選択ゲート線 57 に電氣的に接続されている。

【0142】さらに、STI 領域 2 の上には、ONO 膜 6 が、全面に亘って残されている。STI 領域 2 の上に残された ONO 膜 6 は、特に積層ゲート 8、58 の加工時、STI 領域 2 の“膜減り”を抑制する。また、特に図 21 (A) に参照符号 52 によって示される STI 領域 2 の孤立ゲート部材 55 間の領域上にも、ONO 膜 6 が残されている。このゲート部材 55 間に残された ONO 膜 6 は、第 3 の実施形態と同様に、選択トランジスタ形成領域“STA”から、ONO 膜 6 を除去する時、および積層ゲート加工時にそれぞれ、STI 領域 2 の“膜減り”を抑制する。

【0143】次に、第 4 の実施形態に係る NAND 型 EEPROM の製造方法を説明する。

【0144】図 22 (A)、(B) ~ 図 27 (A)、(B) はそれぞれ、第 4 の実施形態に係る NAND 型 EEPROM の主要な製造工程を示す断面図である。図 22 (A) ~ 図 27 (A) は、図 20 (A) の 21A-21A 線に沿う断面であり、図 22 (B) ~ 図 27 (B) は、図 20 (A) の 21B-21B 線に沿う断面である。

【0145】まず、図 22 (A) および (B) に示すように、図 2 (A) ~ 図 2 (C) に示した製造方法にしたがって、トレンチ 11 の内部を二酸化シリコンで埋め込み、STI 領域 2 を形成する。

【0146】次いで、図 23 (A) および (B) に示すように、STI 領域 2 の上面を後退させ、ポリシリコン膜 13 の側面を、STI 領域 2 の上面から露出させる。STI 領域 2 の上面の後退は、ドライエッチングあるいはウェットエッチングにより行われる。側面の露出量は、ワード線と浮遊ゲートとの間に設定される容量 C2 から決定される。

【0147】次いで、図 24 (A) および (B) に示すように、図 23 (A)、(B) に示す構造の上に、ONO 膜 6、導電性ポリシリコン膜 17 を順次形成する。導電性ポリシリコン膜 17 は、同図に示すようにポリシリコン膜 17 の表面を CMP などを用いて平坦化するのが

好ましい。

【0148】次いで、図25(A)および(B)に示すように、領域“MTA”の上をホトレジスト63で覆う。次いで、ホトレジスト63をマスクに用いて、領域“STA”の上から、ポリシリコン膜17およびONO膜6を除去し、領域“STA”において、ポリシリコン膜13の上面を露出させる。この時、領域52上には、ONO膜6とポリシリコン膜17とを残す。

【0149】次いで、ホトレジスト63を除去した後、図26(A)および(B)に示すように、全面に導電性ポリシリコン膜19を形成する。この導電性ポリシリコン膜19は、より低抵抗な高融点金属、あるいは高融点金属とシリコンとが化合した高融点金属シリサイドなどとしても良い。このようにすれば、ワード線7や選択ゲート線57などは、ポリサイド構造や、ポリメタル構造となり、より低抵抗なものが得られる。

【0150】次いで、図27(A)および(B)に示すように、導電性ポリシリコン膜19の上に、ワード線7の形成パターンに応じたパターンを持つホトレジスト膜18WL、選択ゲート線57の形成パターンに応じたパターンを持つホトレジスト膜18SGを形成する。次いで、ホトレジスト膜18WL、18SGをマスクに用いて、ポリシリコン膜19、ポリシリコン膜17、ONO膜6、および導電性ポリシリコン膜13をエッチングし、ワード線7、浮遊ゲート5を含む積層ゲート8と、選択ゲート線57、これに接続される孤立ゲート部材55を含む積層ゲート58とを形成する。これら積層ゲート8、58の加工時、STI領域2の上には、ONO膜6が残されているので、STI領域2に発生する膜減りは、第3の実施形態と同様に抑制される。また、積層ゲート加工の方法は、第3の実施形態と同様に、下記する3段階で行うのが好ましい。

【0151】ポリシリコン膜19を、シリコンをエッチングし易く、二酸化シリコンあるいは窒化シリコンをエッチングし難いエッチャントを用いて、ポリシリコン膜17をSTI領域2の上に残し、ポリシリコン膜13の上に形成されたONO膜6が露出するようにエッチングする。

【0152】次いで、露出したONO膜6を、二酸化シリコンあるいは窒化シリコンをエッチングし易く、シリコンをエッチングし難いエッチャントを用いて、ポリシリコン膜13が露出するようにエッチングする。

【0153】次いで、ポリシリコン膜17、ポリシリコン膜13を、シリコンをエッチングし易く、二酸化シリコンあるいは窒化シリコンをエッチングし難いエッチャントを用いて、積層ゲート8、並びに積層ゲート58が互いに分離されるまでエッチングする。

【0154】この後、特に図示しないが、周知の製法にしたがって、ソース/ドレイン領域9、層間絶縁膜、ビット線コンタクト孔などのコンタクト孔、ビット線など

の配線層を形成することで、この発明の第4の実施形態に係るNAND型EEPROMが完成する。

【0155】次に、この発明の第5の実施形態を説明する。

【0156】図28は、この発明の第5の実施形態に係るNAND型EEPROMのメモリセルアレイの平面図、図29(A)は、図28中の29A-29A線に沿う断面図、図29(B)は、図28中の29B-29B線に沿う断面図、図30(A)は、図28中の30A-30A線に沿う断面図、図30(B)は、図28中の30B-30B線に沿う断面図である。なお、図28においては、ビット線(BL)は省略されている。

【0157】図28、図29(A)、(B)、図30(A)、(B)に示すように、第5の実施形態では、領域“MTA”におけるSTI領域2の膜厚よりも、領域“STA”におけるSTI領域2の膜厚を厚くする。これにより、ONO膜6の除去時、および積層ゲート加工時の、STI領域2の膜減りに関する加工マージンは、領域“STA”において、より大きくすることができる。

【0158】第5の実施形態におけるSTI領域2の膜厚の関係を、特に図29(A)を参照しながら説明する。

【0159】図29(A)に示すように、STI領域2の、選択ゲート線57を含む積層ゲート58下の膜厚“Ha”は、ワード線7を含む積層ゲート8下の膜厚“Hb”よりも薄くない。

【0160】また、この第5の実施形態では、ONO膜6の除去時、STI領域2の薄い膜厚“Hb”の部分が、無用に減らないようにするための工夫が為されている。

【0161】このための主要な工夫は、ONO膜6の除去時、領域“MTA”をエッチングから保護するマスクを、領域“MTA”だけでなく、領域“STA”の上にも形成することである。これにより多少のマスクずれが生じたとしても、ONO膜6の除去が、STI領域2の厚い膜厚“Ha”の部分上でのみ行われる。このため、領域“STA”におけるSTI領域2には、膜厚“Ha”よりも薄い膜厚“He”の領域を有している。

【0162】さらにこの図28に示すメモリセルアレイのパターンは、ビット線コンタクト部から図示せぬソース線形成部(あるいはソース線コンタクト部)までのパターンを、ビット線コンタクト部を中心に、線対称に折り返すパターンである。このため、上記のマスクに開口される窓を、ビット線コンタクト部に沿って線状に形成される単純なパターンとし、微細加工性を向上させることができる。ここで、STI領域2の膜厚“He”の部分は、選択ゲート線57下の部分からソース/ドレイン領域9のうち、ビット線コンタクトが形成される部分を分離する部分に亘っている。この膜厚“He”は、領域

“MTA”において、ソース／ドレイン領域9を分離する部分“Hf”よりも厚い。つまり、孤立ゲート55の上面から、STI領域2の、トランジスタ“ST”のドレイン領域9を分離する部分の上面までの距離“Hc”は、浮遊ゲート5の上面から、STI領域2の、トランジスタ“MT”のソース／ドレイン領域9を分離する部分の上面までの距離“Hd”よりも長くはない。これにより、積層ゲート8、58の加工時に、領域“STA”に十分な加工マージンを得ることができる。なお、図29(A)には、浮遊ゲート5、孤立ゲート55の上面の位置は、“TOP OF FG”により示されている。

【0163】また、STI領域2のうち、トランジスタ“MT”とトランジスタ“ST”との接続するソース／ドレイン領域9を分離する部分に段差が有る。この構造は、浮遊ゲート5の側壁が露出しなくなり、ワード線7と浮遊ゲート5との対向面積が変わってしまうような、望ましくない構造の形成を抑制する。

【0164】また、ONO膜6は、選択ゲート線57下の部分全てから除去されても良いが、この実施形態では、ビット線がコンタクトされるソース／ドレイン領域9を挟んで互いに並行する選択ゲート線57下の部分のうち、ビット線がコンタクトされるソース／ドレイン領域9の側部分のみが除去されている。この構造は、ONO膜6のエッチングが、STI領域2の膜厚“Hb”の部分にまでおよぶことを防止し、STI領域2の膜厚が、膜厚“Hb”よりも、さらに薄くなることを抑制する。

【0165】上記のいずれのSTI領域2の膜厚関係においても、STI領域2の、孤立ゲート55の側面に接する部分の高さは、浮遊ゲート5の側面に接する部分の高さよりも低くなることは無い。このため、浮遊ゲート側面を露出させる量、およびSTI領域2の後退量を考慮して決定される、浮遊ゲート5を構成する導電性ポリシリコン膜13の膜厚は、従来以上に広い範囲から、最適な値を選ぶことが可能となる。特にSTI領域2の後退に関してマージンが有るため、導電性ポリシリコン膜13の膜厚を、従来の製造方法に比べて、より薄い範囲から選ぶことができる。導電性ポリシリコン膜13の膜厚を薄くする、つまり、浮遊ゲート5の高さを低くできると、例えばビット線コンタクト孔のアスペクト比を緩和でき、ビット線コンタクト孔開口時において、エッチングの制御性の向上を図ることが可能となる。

【0166】次に、その製造方法を説明する。

【0167】図31(A)、図33(A)、図35(A)、図37(A)はそれぞれ、第5の実施形態に係るNAND型EEPROMの主要な製造工程を示す平面図である。図31(B)は図31(A)中の31B-31B線に沿う断面図である。図32(A)は図31(A)中の32A-32A線に沿う断面図、図32(B)は図31(A)中の32B-32B線に沿う断面

図である。図33(B)は図33(A)中の33B-33B線に沿う断面図である。図34(A)は図33(A)中の34A-34A線に沿う断面図、図34(B)は図33(A)中の34B-34B線に沿う断面図である。図35(B)は図35(A)中の35B-35B線に沿う断面図である。図36(A)は図35(A)中の36A-36A線に沿う断面図、図36(B)は図35(A)中の36B-36B線に沿う断面図である。図37(B)は図37(A)中の37B-37B線に沿う断面図である。図38(A)は図37(A)中の38A-38A線に沿う断面図、図38(B)は図37(A)中の38B-38B線に沿う断面図である。

【0168】まず、図31(A)、(B)、図32(A)、(B)に示すように、領域“STA”の上に、ホトレジスト膜71を形成する。次いで、ホトレジスト膜71をマスクに用いて、領域“MTA”におけるSTI領域2の上面を後退させる。

【0169】次いで、ホトレジスト膜71を除去した後、図33(A)、(B)、図34(A)、(B)に示すように、全面にONO膜6、ポリシリコン膜17を形成する。次いで、領域“STA”にスリット状の窓72を有したホトレジスト膜73を形成する。次いで、ホトレジスト膜73をマスクに用いて、ONO膜6、ポリシリコン膜17を除去する。これにより、領域“STA”において、ポリシリコン膜13を露出させる。この時、窓72は、領域“STA”の内側にのみ配置されるようにすることにより、領域“MTA”におけるポリシリコン膜13の露出事故を防止することができる。

【0170】次いで、ホトレジスト膜73を除去した後、図35(A)、(B)、図36(A)、(B)に示すように、全面に導電性ポリシリコン膜19を形成する。この導電性ポリシリコン膜19は、より低抵抗な高融点金属、あるいは高融点金属とシリコンとが化合した高融点金属シリサイドなどとしても良い。このようにすれば、ワード線7や選択ゲート線57などは、ポリサイド構造や、ポリメタル構造となり、より低抵抗なものが得られる。

【0171】次いで、図37(A)、(B)、図38(A)、(B)に示すように、ポリシリコン膜19の上に、ワード線7の形成パターンに応じたパターンを持つホトレジスト膜18WL、選択ゲート線57の形成パターンに応じたパターンを持つホトレジスト膜18SGを形成する。次いで、ホトレジスト膜18WL、18SGをマスクに用いて、ポリシリコン膜19、ポリシリコン膜17、ONO膜6、および導電性ポリシリコン膜13をエッチングし、ワード線7、浮遊ゲート5を含む積層ゲート8と、選択ゲート線57、これに接続される孤立ゲート部材55を含む積層ゲート58とを形成する。これら積層ゲート8、58の加工時、領域“STA”にお

けるSTI領域2には、領域“MTA”におけるSTI領域2の膜厚“Hb”、“Hf”よりも厚い膜厚“Ha”、“He”が残されている。このため、積層ゲート8、58加工時、領域“STA”にONO膜6が無くて、充分な加工マージンを得ることができる。

【0172】また、ここで、積層ゲート8の加工方法は、第3の実施形態と同様に、下記する3段階で行うのが良い。

【0173】ポリシリコン膜19を、シリコンをエッチングし易く、二酸化シリコンあるいは窒化シリコンをエッチングし難いエッチャントを用いて、ポリシリコン膜17をSTI領域2の上に残し、ポリシリコン膜13の上に形成されたONO膜6が露出するようにエッチングする。

【0174】次いで、露出したONO膜6を、二酸化シリコンあるいは窒化シリコンをエッチングし易く、シリコンをエッチングし難いエッチャントを用いて、ポリシリコン膜13が露出するようにエッチングする。

【0175】次いで、ポリシリコン膜17、ポリシリコン膜13を、シリコンをエッチングし易く、二酸化シリコンあるいは窒化シリコンをエッチングし難いエッチャントを用いて、積層ゲート8、並びに積層ゲート58が互いに分離されるまでエッチングする。

【0176】この後、特に図示しないが、周知の製法にしたがって、ソース/ドレイン領域9、層間絶縁膜、ビット線コンタクト孔などのコンタクト孔、ビット線などの配線層を形成することで、この発明の第4の実施形態に係るNAND型EEPROMが完成する。

【0177】以上、この発明を第1～第5の実施形態を参照して説明したが、第1～第5の実施形態は、様々な組み合わせで実施することが可能である。

【0178】例えば第2の実施形態で説明した周辺回路用トランジスタ“PT”の構造を、第3、第4、第5の実施形態で説明した選択トランジスタ“ST”と同様の構造としても良い。これは、チップ内のすべてのトランジスタを選択ゲートトランジスタと同様の積層構造とすることができるので、例えば製造工程数の低減や、チップ、あるいはウェーハ面内において、各トランジスタ間の厚みのばらつきをも低減することが可能となる。各トランジスタ間の厚みのばらつきを低減できれば、層間絶縁膜40の平坦性も向上できる。このため、例えばビット線などの金属配線を、より平坦性に富んだ層間絶縁膜40上に形成でき、金属配線の微細加工性も向上する。また、この発明によれば、STI領域2の上面に、積層ゲート加工時などに形成される凹部が小さくなるので、STI領域2の平坦性も向上できる。

【0179】さらに、この発明は上述した各実施形態そのものに限定されるものではなく、その主旨を逸脱しない範囲で、種々変形して実施することができる。

【0180】

【発明の効果】以上説明したように、この発明によれば、メモリセルアレイ内の素子分離領域の膜厚の減少を抑制し、メモリセルアレイに高い加工マージンを有しながらも、浮遊ゲートとワード線との容量を増加できる構造を持つ、不揮発性半導体記憶装置と、その製造方法を提供できる。また、上記効果を得ることができるとともに、微細なトランジスタが形成される周辺回路領域内の素子分離領域の膜厚の減少を同時に抑制して、メモリセルアレイ、周辺回路領域の双方に高い加工マージンを持たせることができる不揮発性半導体記憶装置と、その製造方法を提供できる。

【0181】また、自己整合トレンチ素子分離を用いて素子分離されたメモリセルアレイにおいて、選択ゲートトランジスタが形成される部分の素子分離領域の膜厚の減少を抑制できる不揮発性半導体記憶装置と、その製造方法とを提供できる

#### 【図面の簡単な説明】

【図1】図1(A)はこの発明の第1の実施形態に係るNAND型EEPROMのメモリセルアレイの平面図、図1(B)は図1(A)中のB-B線に沿う断面図。

【図2】図2(A)～図2(C)はそれぞれこの発明の第1の実施形態に係るNAND型EEPROMのメモリセルアレイの主要な製造工程を示す断面図。

【図3】図3(A)～図3(C)はそれぞれこの発明の第1の実施形態に係るNAND型EEPROMのメモリセルアレイの主要な製造工程を示す断面図。

【図4】図4(A)、図4(B)はそれぞれこの発明の第1の実施形態に係るNAND型EEPROMのメモリセルアレイの主要な製造工程を示す断面図。

【図5】図5(A)はこの発明の第1の比較例に係るNAND型EEPROMのメモリセルアレイの平面図、図5(B)は図5(A)中のB-B線に沿う断面図。

【図6】図6(A)、図6(B)はそれぞれ第1の比較例に係るNAND型EEPROMにマスクずれが生じた状態を示す断面図。

【図7】図7(A)、図7(B)はそれぞれ第1の実施形態に係るNAND型EEPROMにマスクずれが生じた状態を示す断面図。

【図8】図8(A)はこの発明の第2の実施形態に係るNAND型EEPROMのメモリセルアレイおよび周辺回路領域の平面図、図8(B)は図8(A)中のB-B線に沿う断面図。

【図9】図9(A)はこの発明の第3の実施形態に係るNAND型EEPROMのメモリセルアレイの平面図、図9(B)は図9(A)中の9B-9B線に沿う断面図。

【図10】図10(A)は図9(A)中の10A-10A線に沿う断面図、図10(B)は図9(A)中の10B-10B線に沿う断面図。

【図11】図11はこの発明の第2の比較例に係るNA

ND型EEPROMのスリット加工時の平面図。

【図12】図12はこの発明の第3の比較例に係るNA ND型EEPROMのスリット加工時の平面図。

【図13】図13(A)、図13(B)はそれぞれこの 発明の第3の比較例に係るNAND型EEPROMの主 要な製造工程を示す断面図。

【図14】図14(A)、図14(B)はそれぞれこの 発明の第3の比較例に係るNAND型EEPROMの主 要な製造工程を示す断面図。

【図15】図15(A)、図15(B)はそれぞれこの 発明の第3の実施形態に係るNAND型EEPROMの 主要な製造工程を示す断面図。

【図16】図16(A)、図16(B)はそれぞれこの 発明の第3の実施形態に係るNAND型EEPROMの 主要な製造工程を示す断面図。

【図17】図17(A)、図17(B)はそれぞれこの 発明の第3の実施形態に係るNAND型EEPROMの 主要な製造工程を示す断面図。

【図18】図18(A)、図18(B)はそれぞれこの 発明の第3の実施形態に係るNAND型EEPROMの 主要な製造工程を示す断面図。

【図19】図19(A)、図19(B)はそれぞれこの 発明の第3の実施形態に係るNAND型EEPROMの 主要な製造工程を示す断面図。

【図20】図20(A)はこの発明の第4の実施形態に 係るNAND型EEPROMのメモリセルアレイの平面 図、図20(B)は図20(A)中の20B-20B線 に沿う断面図。

【図21】図21(A)は図20(A)中の21A-2 1A線に沿う断面図、図21(B)は図20(A)中の 21B-21B線に沿う断面図。

【図22】図22(A)、図22(B)はこの発明の第 4の実施形態に係るNAND型EEPROMの主要な製 造工程を示す断面図。

【図23】図23(A)、図23(B)はこの発明の第 4の実施形態に係るNAND型EEPROMの主要な製 造工程を示す断面図。

【図24】図24(A)、図24(B)はこの発明の第 4の実施形態に係るNAND型EEPROMの主要な製 造工程を示す断面図。

【図25】図25(A)、図25(B)はこの発明の第 4の実施形態に係るNAND型EEPROMの主要な製 造工程を示す断面図。

【図26】図26(A)、図26(B)はこの発明の第 4の実施形態に係るNAND型EEPROMの主要な製 造工程を示す断面図。

【図27】図27(A)、図27(B)はこの発明の第 4の実施形態に係るNAND型EEPROMの主要な製 造工程を示す断面図。

【図28】図28はこの発明の第5の実施形態に係るN

AND型EEPROMのメモリセルアレイの平面図。

【図29】図29(A)は図28中の29A-29A線 に沿う断面図、図29(B)は図28中の29B-29 B線に沿う断面図。

【図30】図30(A)は図28中の30A-30A線 に沿う断面図、図30(B)は図28中の30B-30 B線に沿う断面図。

【図31】図31(A)はこの発明の第5の実施形態に 係るNAND型EEPROMの主要な製造工程を示す平 面図、図31(B)は図31(A)中の31B-31B 線に沿う断面図。

【図32】図32(A)は図31(A)中の32A-3 2A線に沿う断面図、図32(B)は図31(A)中の 32B-32B線に沿う断面図。

【図33】図33(A)はこの発明の第5の実施形態に 係るNAND型EEPROMの主要な製造工程を示す平 面図、図33(B)は図33(A)中の33B-33B 線に沿う断面図。

【図34】図34(A)は図33(A)中の34A-3 4A線に沿う断面図、図34(B)は図33(A)中の 34B-34B線に沿う断面図。

【図35】図35(A)はこの発明の第5の実施形態に 係るNAND型EEPROMの主要な製造工程を示す平 面図、図35(B)は図35(A)中の35B-35B 線に沿う断面図。

【図36】図36(A)は図35(A)中の36A-3 6A線に沿う断面図、図35(B)は図35(A)中の 36B-36B線に沿う断面図。

【図37】図37(A)はこの発明の第5の実施形態に 係るNAND型EEPROMの主要な製造工程を示す平 面図、図37(B)は図37(A)中の37B-37B 線に沿う断面図。

【図38】図38(A)は図37(A)中の38A-3 8A線に沿う断面図、図38(B)は図37(A)中の 38B-38B線に沿う断面図。

【図39】図39(A)は従来のNAND型EEPRO Mのメモリセルアレイの平面図、図39(B)は図39 (A)のB-B線に沿う断面図。

【図40】図40(A)、図40(B)はそれぞれLO COS法の手順を示す断面図。

【図41】図41(A)は従来の他のNAND型EEP ROMのメモリセルアレイの平面図、図41(B)は図 41(A)のB-B線に沿う断面図。

【図42】図42(A)、図42(B)はそれぞれトレ ンチ素子分離法の手順を示す断面図。

【図43】図43(A)~図43(C)はそれぞれゲート 酸化膜の製造工程を示す断面図。

【図44】図44(A)は従来のさらに他のNAND型 EEPROMのメモリセルアレイの平面図、図44 (B)は図44(A)のB-B線に沿う断面図。

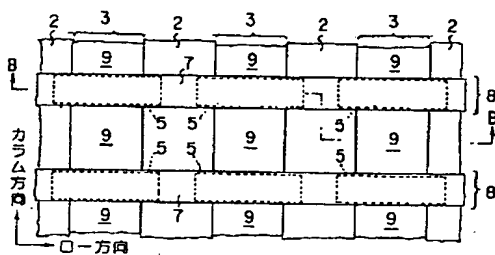
【図45】図45(A)～図45(C)はそれぞれトレンチ素子分離法の手順を示す断面図。

【符号の説明】

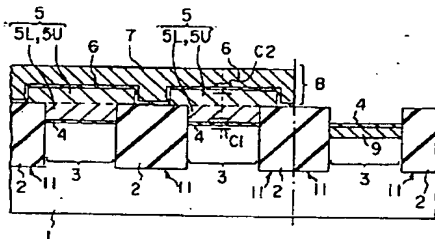
1…P型シリコン基板、2…素子分離領域(STI領域)、3…半導体活性領域(素子領域)、4…トンネル酸化膜、5…浮遊ゲート、5U…上層部、5L…下層部、6…ONO膜、7…ワード線(制御ゲート)、8…積層ゲート、9…ソース/ドレイン領域、10…ビット線、11…トレンチ、13…導電性ポリシリコン膜、14…シリコン窒化膜、15…導電性ポリシリコン膜、1

6…ホトレジスト膜、17…導電性ポリシリコン膜、18、18WL、18SG…ホトレジスト膜、19…導電性ポリシリコン膜、20…窓、21…スリット、31…メモリセルアレイ、32…周辺回路領域、34…ゲート酸化膜、35…ゲート、35U…上層部、35L…下層部、37…導電性ポリシリコン膜、40…層間絶縁膜、41…配線、54…ゲート酸化膜、55…ゲート部材、55U…上層部、55L…下層部、57…選択ゲート線、58…積層ゲート、71…ホトレジスト膜、72…窓、73…ホトレジスト膜。

【図1】

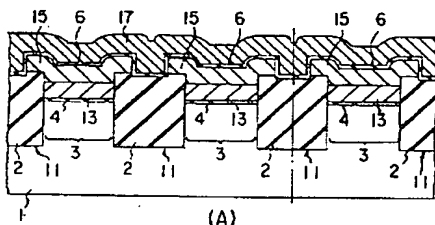


(A)

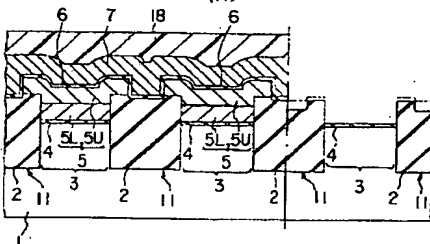


(B)

【図4】

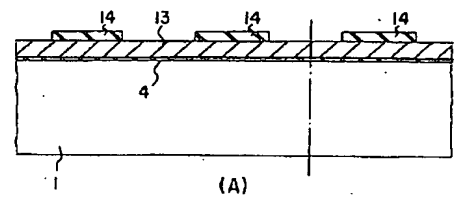


(A)

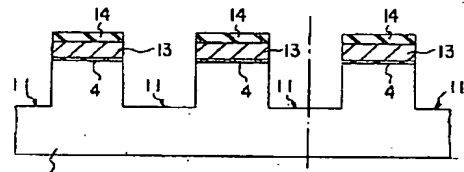


(B)

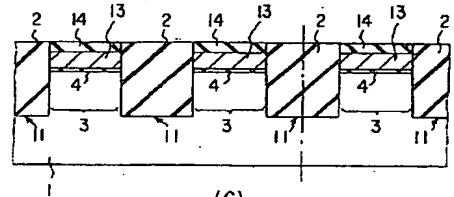
【図2】



(A)

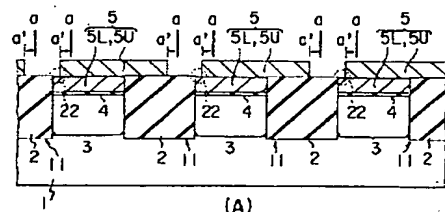


(B)

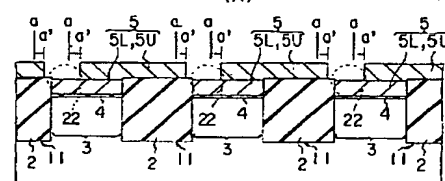


(C)

【図6】



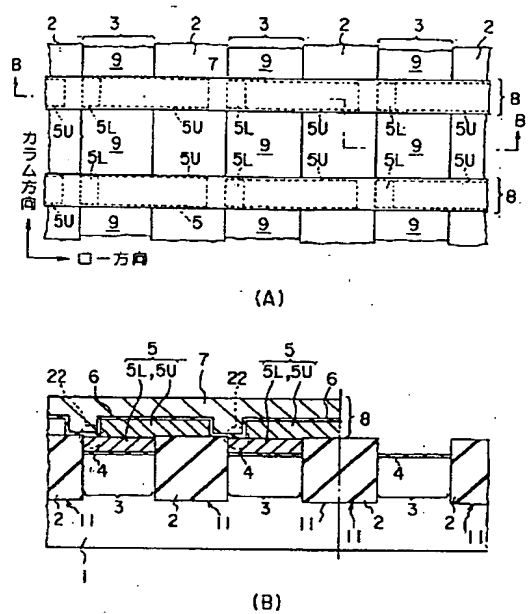
(A)



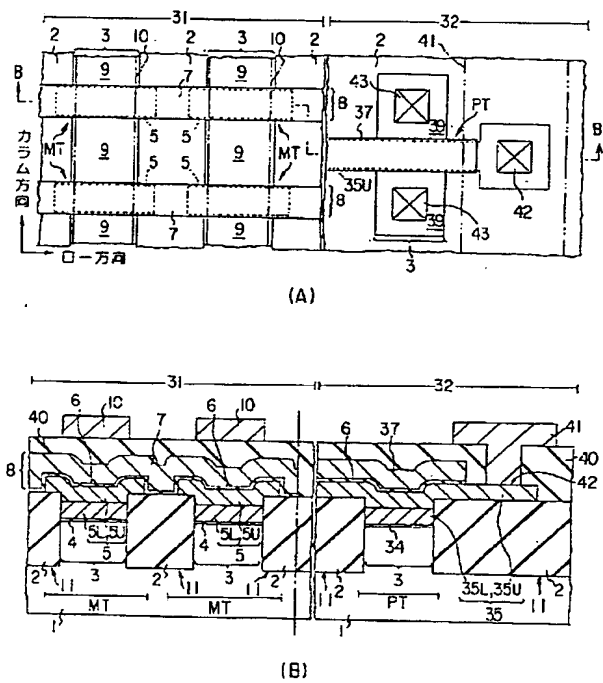
(B)



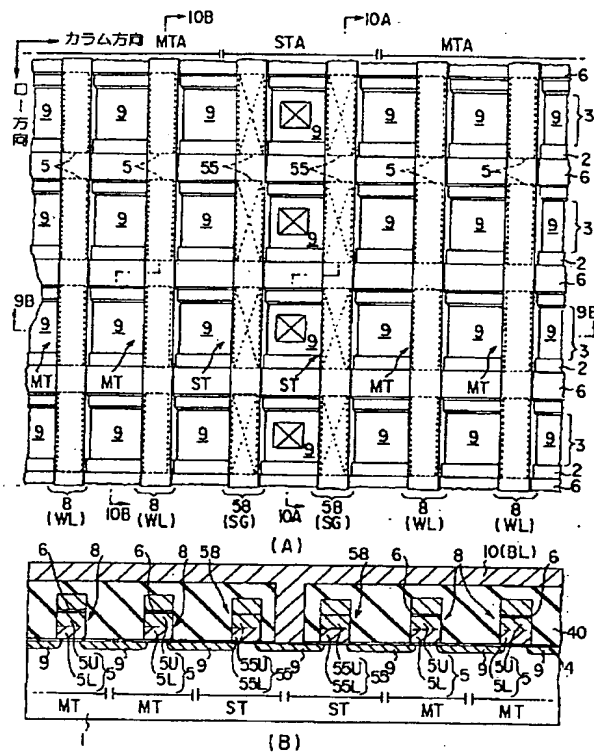
【図 5】



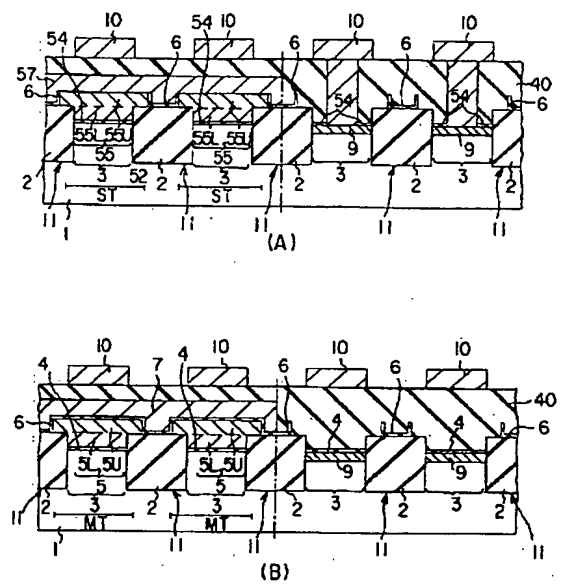
【图8】



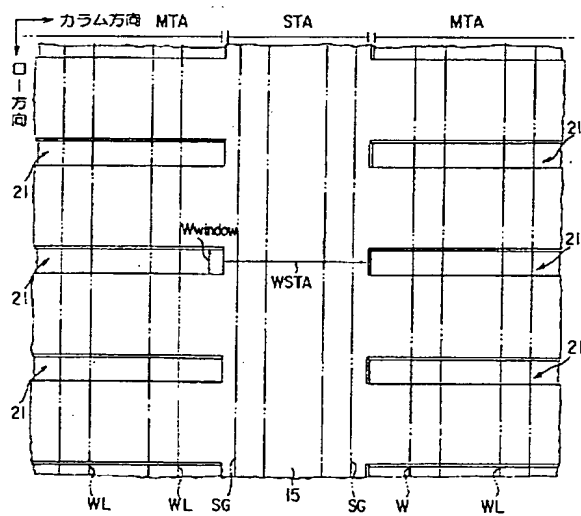
【図 9】



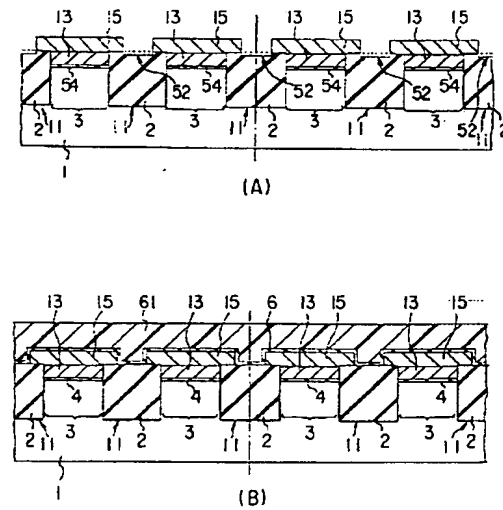
【図 10】



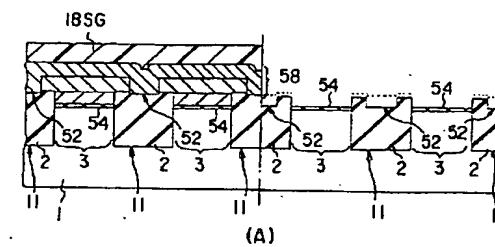
【图 1 1】



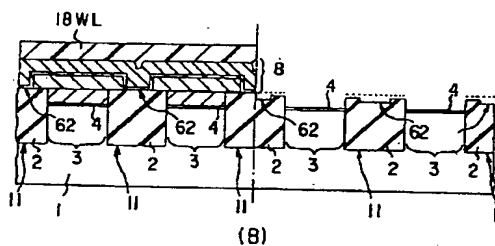
【図 13】



【図 14】

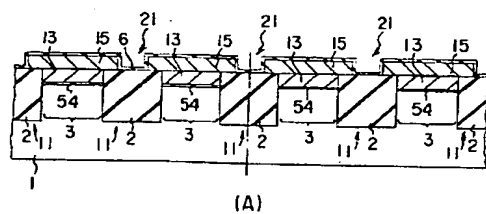


(A)

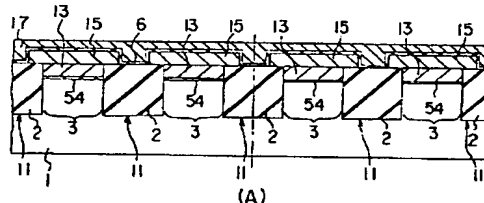


(8)

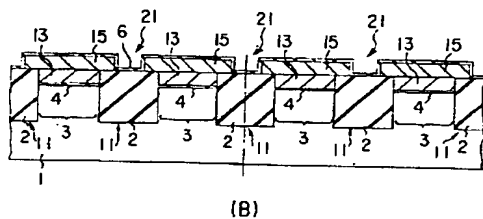
【図 16】



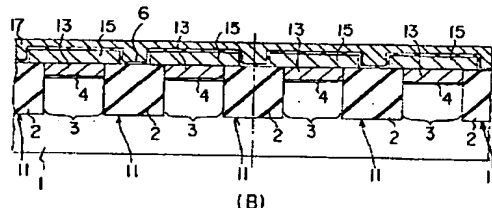
(A)



(A)

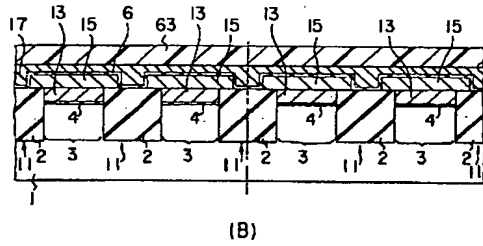
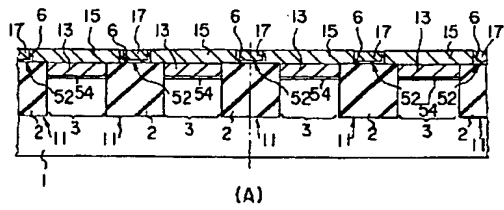


(B)

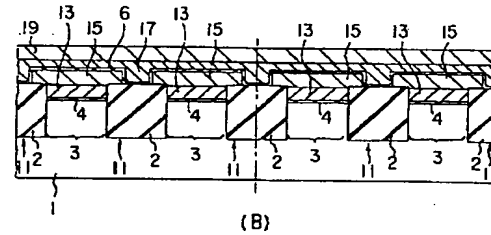
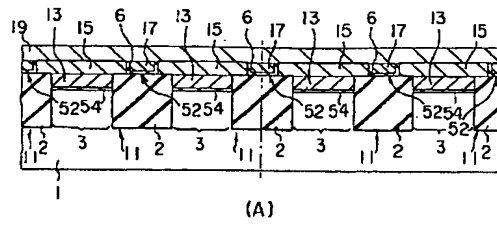


(B)

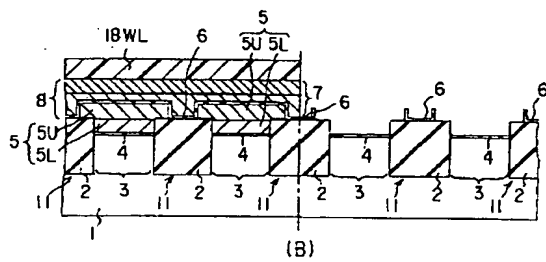
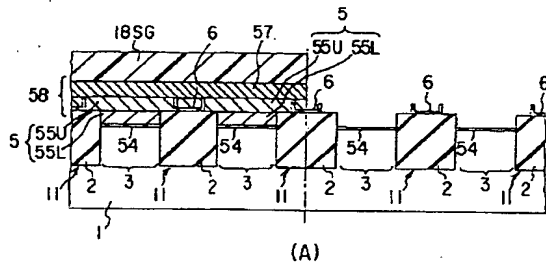
【図 17】



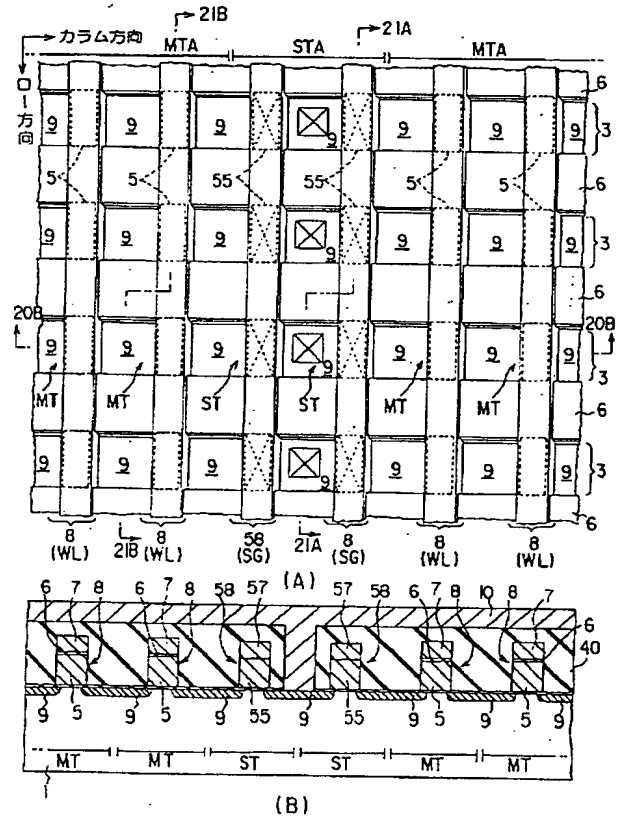
【図 18】



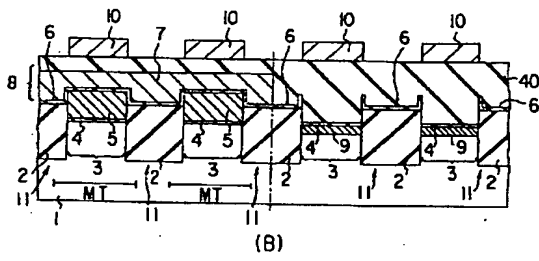
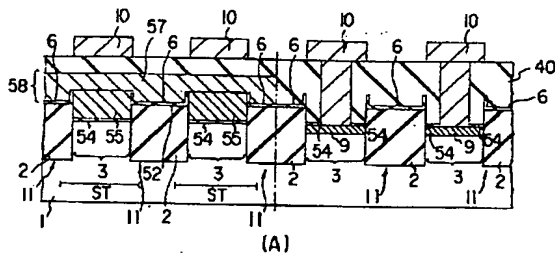
【図 19】



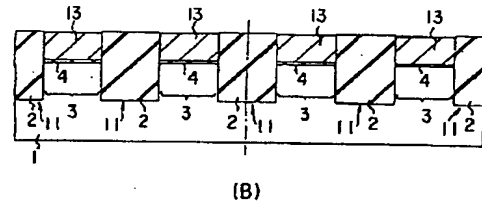
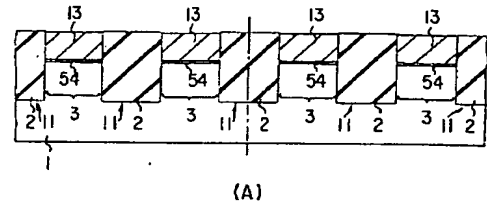
【図 20】



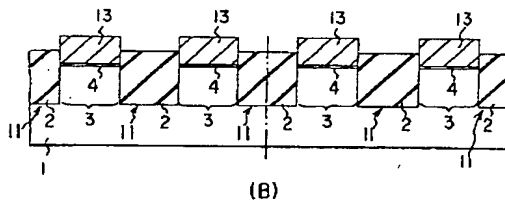
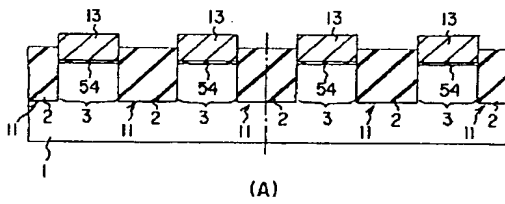
【図 2 1】



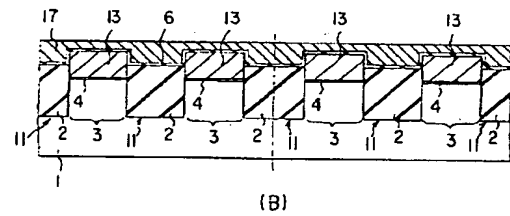
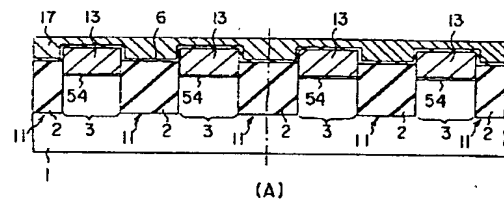
【図 2 2】



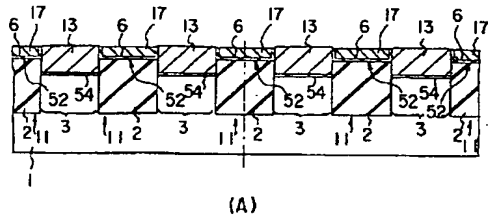
【図 2 3】



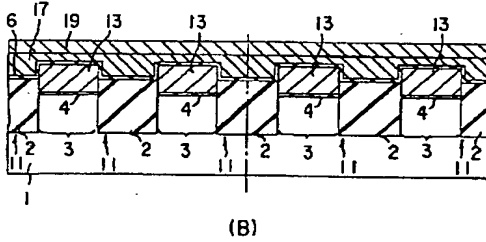
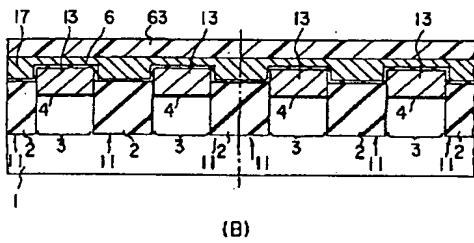
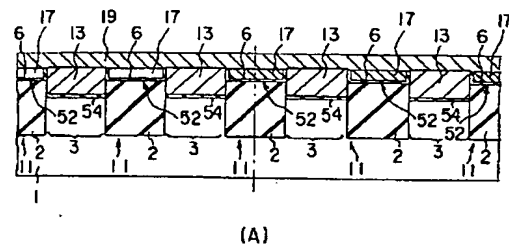
【図 2 4】



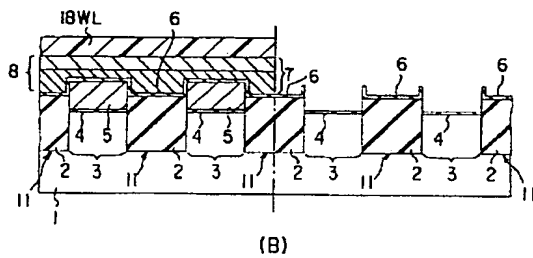
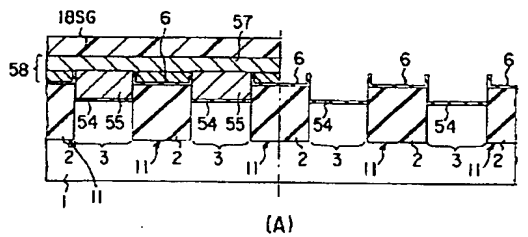
【図 2 5】



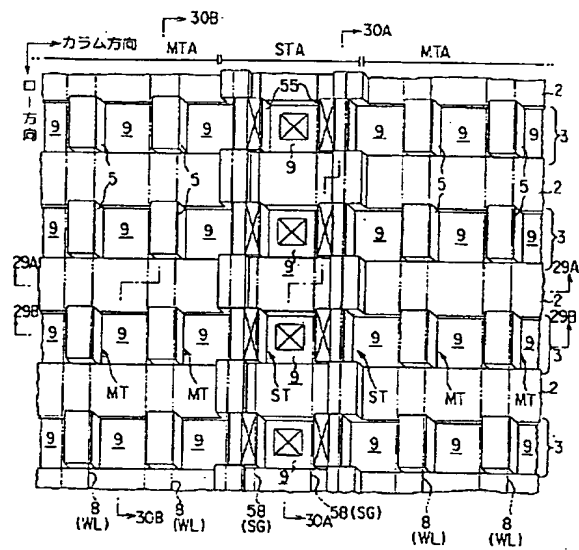
【図 2 6】



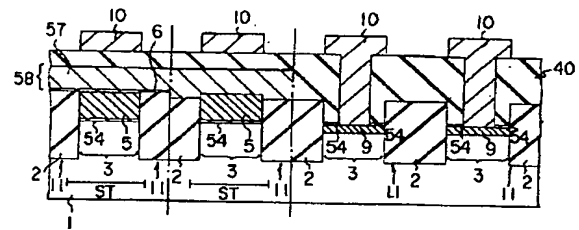
【図 2 7】



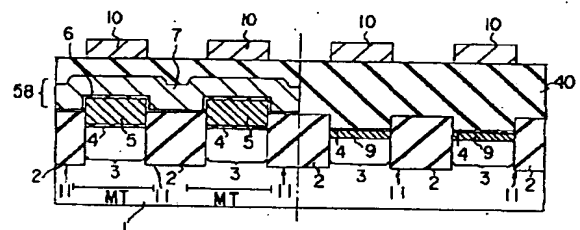
【図 2 8】



【図 30】

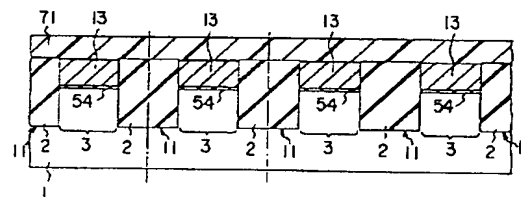


(A)

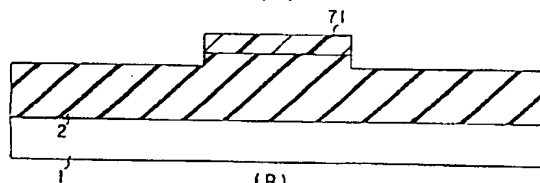


(B)

【図 3 2】

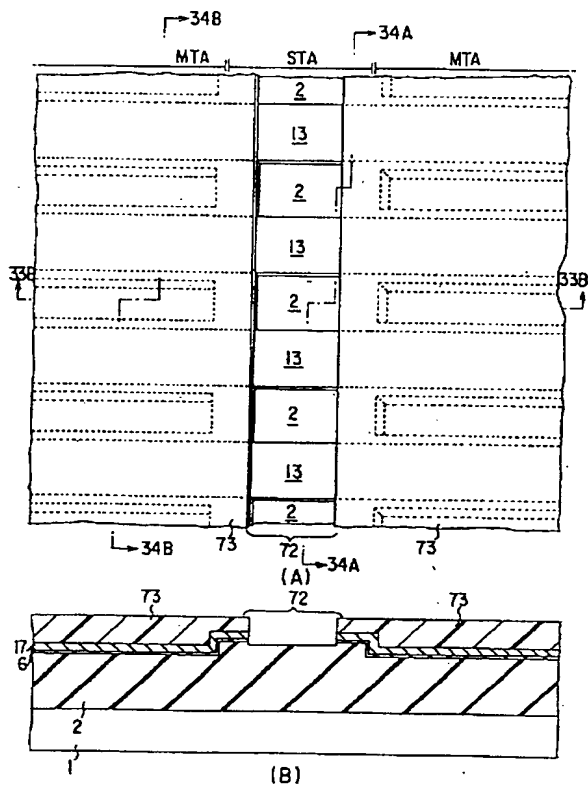


(3)

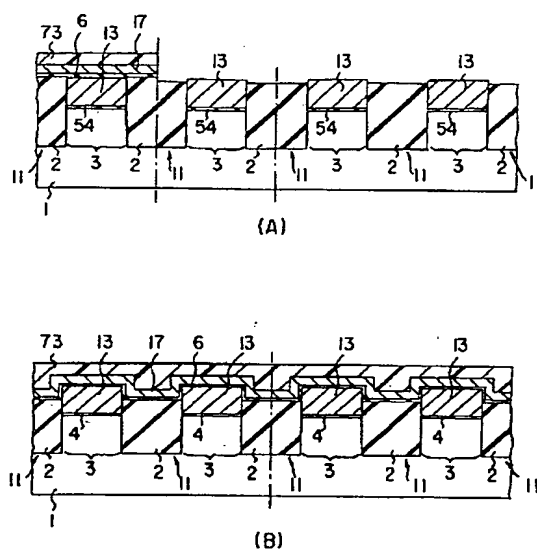


(B)

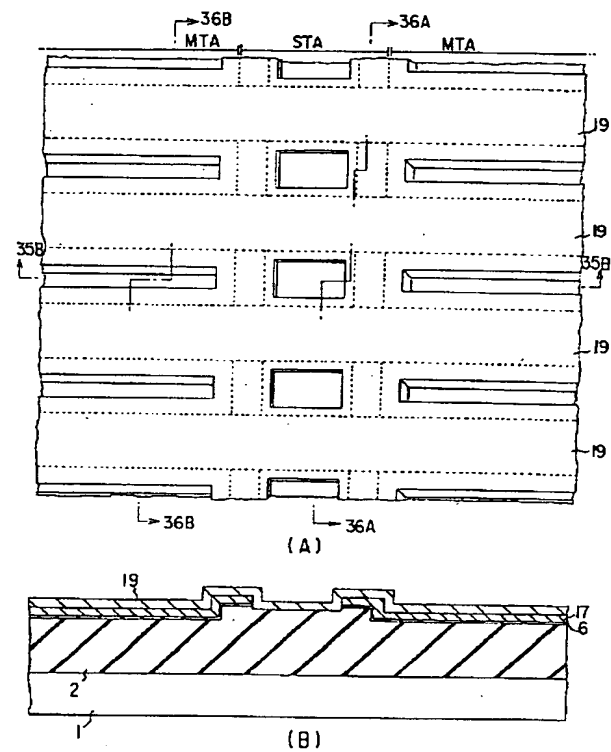
【図 3 3】



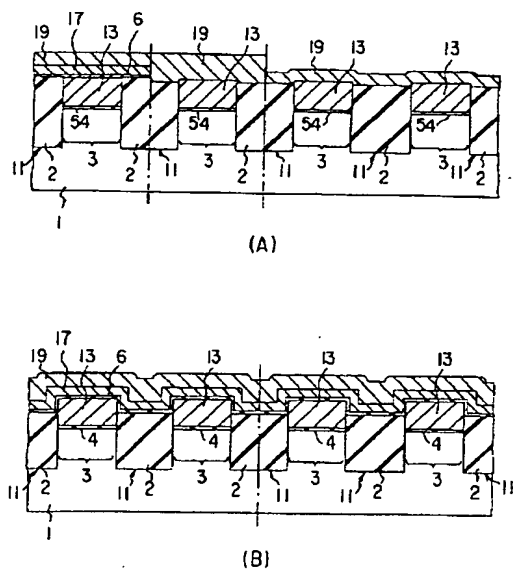
【図 3 4】



【図 3 5】



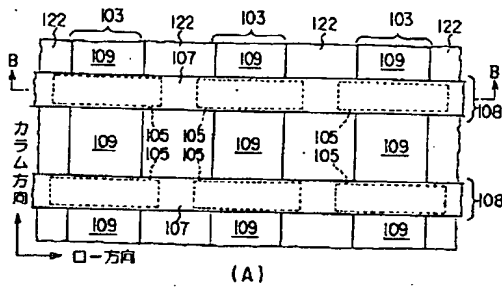
【図 3 6】



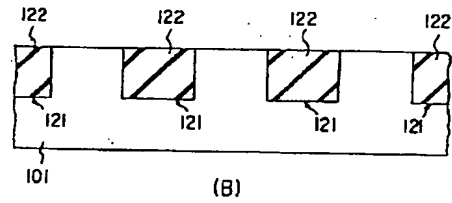
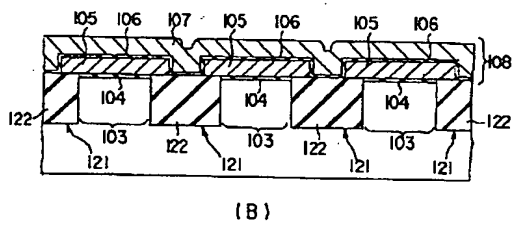
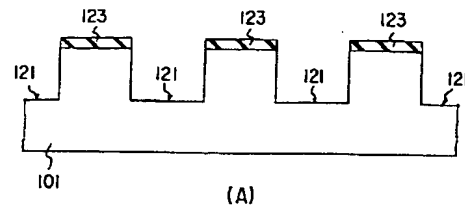




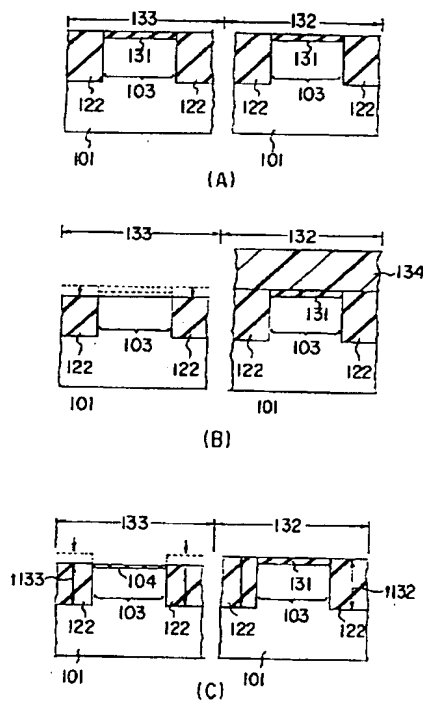
【図 4 1】



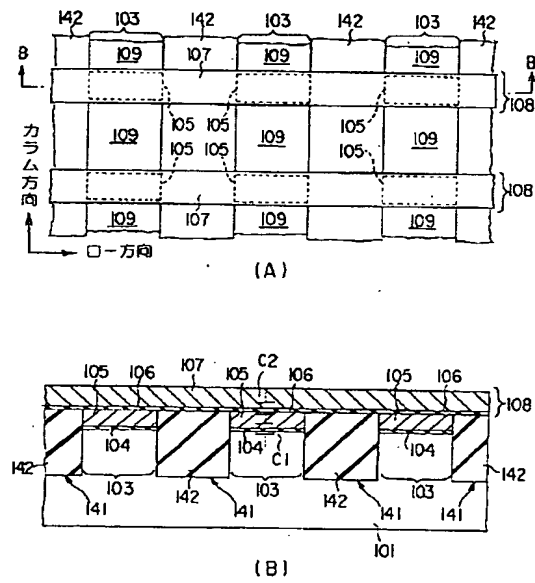
【図 4 2】



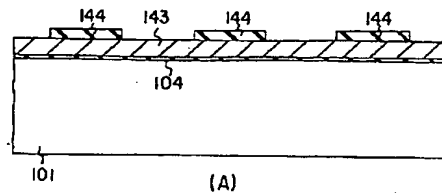
【図 4 3】



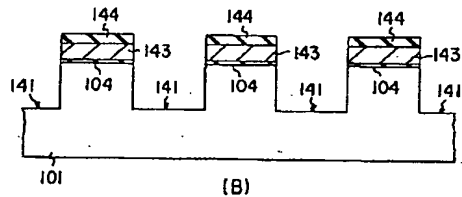
【図 4 4】



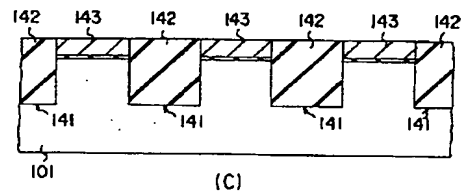
【図 4 5】



(A)



(B)



(C)